

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

The partial translation of the above-listed publication:

1. Japanese Unexamined Patent Application Publication No.  
2002-151661

Abstract:

PROBLEM TO BE SOLVED: To reduce the chip area of an MRAM device formed of a magnetic body memory cell, provided with a magnetic tunnel junction part.

SOLUTION: A read word line RWL and a write word line WWL are arranged, corresponding to the row of an MTJ memory cells and a bit line BL and reference voltage wiring SL are arranged corresponding to the column of the MTJ memory cells. The adjacent MTJ memory cells share at least one of the signal wiring. As a result, since a signal wiring pitch arranged in the entire memory array 10 is relaxed and the MTJ memory cells are arranged efficiently, the memory array 10 can be highly integrated

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-151661  
(P2002-151661A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 27/105		G 1 1 C 11/14	Z 5 F 0 8 3
G 1 1 C 11/14			A
		11/15	
11/15		H 0 1 L 43/08	Z
H 0 1 L 43/08			A

審査請求 未請求 請求項の数19 O L (全 71 頁) 最終頁に続く

(21) 出願番号 特願2000-346896 (P2000-346896)

(22) 出願日 平成12年11月14日 (2000.11.14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5F083 FZ10 GA09 GA11 GA28 KA01

KA05 KA11 KA20 LA10 LA14

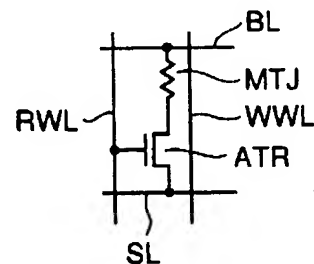
LA16 MA05 MA19 NA03

(54) 【発明の名称】 薄膜磁性体記憶装置

(57) 【要約】

【課題】 磁気トンネル接合部を有する磁性体メモリセルによって形成されるMRAMデバイスのチップ面積削減を図る。

【解決手段】 MTJメモリセルの行に対応してリードワード線RWLおよびライトワード線WWLが配置され、MTJメモリセルの列に対応してビット線BLおよび基準電圧配線SLが配置される。隣接するMTJメモリセルは、これらの信号配線のうちの少なくとも1本を共有する。この結果、メモリアレイ10全体に配置される信号配線ピッチを緩和して、MTJメモリセルを効率的に配置できるので、メモリアレイ10を高集積化することができる。



【特許請求の範囲】

【請求項1】 薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応して設けられ、前記データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応して設けられ、データ書込時および前記データ読出時において前記第1のデータ書込電流および前記データ読出電流をそれぞれ流すための複数のデータ線と、

前記行に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記行および前記列のいずれかに対応して設けられ、前記データ読出時に用いる基準電圧を供給するための複数の基準電圧配線とをさらに備え、

隣接する前記磁性体メモリセルは、前記複数の書込ワード線、前記複数の読出ワード線、前記複数のデータ線および前記複数の基準電圧配線のうちの少なくとも1つのうちの対応する1本を共有する、薄膜磁性体記憶装置。

【請求項2】 薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応して設けられ、前記データ読出時において行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応して設けられ、データ書込時および前記データ読出時において前記第1のデータ書込電流および前記データ読出電流をそれぞれ流すための複数のデータ線と、

前記列に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

データ読出に用いる基準電圧と前記書込ワード線とを結合するための複数のワード線電流制御回路とをさらに備

え、

隣接する前記磁性体メモリセルは、前記複数の書込ワード線、前記複数の読出ワード線および前記複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する、薄膜磁性体記憶装置。

【請求項3】 前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記データ線のうちの前記記憶部からより遠い一方を共有し、

前記書込ワード線および前記データ線のうちの前記一方は、対応する前記書込ワード線および前記信号配線のうちの他方よりも大きい断面積を有する、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項4】 前記書込ワード線および前記データ線のうちの前記一方は、前記書込ワード線および前記データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項5】 列方向に隣接する前記磁性体メモリセルは、前記複数の書込ワード線のうちの対応する1本を共有し、

前記複数のデータ線のうちの2本ずつは、前記データ読出時においてデータ線対を構成し、

同一の前記読出ワード線によって選択される複数の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線の各々に対して供給される、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項6】 列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線のうちの対応する1本を共有し、

前記複数のデータ線のうちの2本ずつは、前記データ書込時においてデータ線対を構成し、

同一の前記書込ワード線によって選択される複数の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記第1のデータ書込電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項7】 前記複数のデータ線のうちの2本ずつは、前記データ読出時およびデータ書込時においてデータ線対を構成し、

同一の前記読出ワード線および同一の前記書込ワード線によってそれぞれ選択される複数の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線の各々に対して供給さ

れ、



前記第1のデータ書込電流は、前記2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項8】 前記薄膜磁性体記憶装置は、さらに、前記データ書込時において、前記データ線対を構成する2本のデータ線同士を電氣的に結合するためのスイッチ回路と、

前記データ書込時において、列選択結果に対応する前記データ線対を構成する2本のデータ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書込回路とを備える、請求項6または7に記載の薄膜磁性体記憶装置。

【請求項9】 薄膜磁性体記憶装置であって、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、前記磁性体メモリセルの行に対応して設けられ、前記データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、前記磁性体メモリセルの列に対応して設けられる複数の信号配線とをさらに備え、

行方向に隣接する前記磁性体メモリセルは、前記複数の信号配線のうちの対応する1本を共有し、データ書込時および前記データ読出時において、前記第1のデータ書込電流および前記データ読出電流を前記信号配線にそれぞれ供給するための読出書込制御回路と、前記列に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、前記複数の信号配線に対応してそれぞれ設けられ、前記データ読出時に用いる基準電圧と前記複数の信号配線のうちの対応する1本とを電氣的に結合するための複数の制御スイッチとをさらに備え、

前記複数の制御スイッチは、各前記磁性体メモリセルに対応する2本の前記信号配線のうちの前記行選択結果に応じて選択される1本を前記基準電圧と結合する、薄膜磁性体記憶装置。

【請求項10】 列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線および前記複数の書込ワード線の少なくとも1つのうちの対応する1本を共有する、請求項9記載の薄膜磁性体記憶装置。

【請求項11】 前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記信号配線のうちの前記記憶部からより遠い一方を共有し、

前記書込ワード線および前記信号配線のうちの前記一方は、前記書込ワード線および前記信号配線のうちの他方よりも大きい断面積を有する、請求項9または10に記載の薄膜磁性体記憶装置。

【請求項12】 前記書込ワード線および前記信号配線のうちの前記一方は、前記書込ワード線および前記信号配線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項9記載の薄膜磁性体記憶装置。

10 【請求項13】 薄膜磁性体記憶装置であって、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

30 前記磁性体メモリセルの行に対応して設けられ、データ書込時において前記第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記行に対応して設けられ、前記データ読出時において行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すための複数の書込データ線と、

30 前記列に対応して設けられ、前記データ読出時において前記データ読出電流を流すための複数の読出データ線とをさらに備え、

隣接する前記磁性体メモリセルは、前記複数の書込ワード線、前記複数の読出ワード線、前記複数の読出データ線および前記複数の書込データ線の少なくとも1つのうちの対応する1本を共有する、薄膜磁性体記憶装置。

【請求項14】 前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記書込データ線のうちの前記記憶部からより遠い一方を共有し、

40 前記書込ワード線および前記書込データ線のうちの前記一方は、前記書込ワード線および前記書込データ線のうちの他方よりも大きい断面積を有する、請求項13記載の薄膜磁性体記憶装置。

【請求項15】 前記書込ワード線および前記書込データ線のうちの前記一方は、前記書込ワード線および前記書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項13記載の薄膜磁性体記憶装置。

50 【請求項16】 列方向に隣接する前記磁性体メモリセルは、前記複数の書込ワード線のうちの対応する1本を

共有し、

前記複数の読出データ線のうちの2本ずつは、前記データ読出時において読出データ線対を構成し、

同一の前記読出ワード線によって選択される複数の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給される、請求項13記載の薄膜磁性体記憶装置。

【請求項17】 列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線のうちの対応する1本を共有し、

前記複数の書込データ線のうちの2本ずつは、前記データ書込時において書込データ線対を構成し、

同一の前記書込ワード線によって選択される複数の前記磁性体メモリセルは、前記書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、前記第2のデータ書込電流は、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項13記載の薄膜磁性体記憶装置。

【請求項18】 前記複数の書込データ線および読出データ線のうちの2本ずつは、書込データ線対および読出データ線対をそれぞれ構成し、

同一の前記読出ワード線によって選択される複数の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、

同一の前記書込ワード線によってそれぞれ選択される複数の前記磁性体メモリセルは、前記書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給され、

第2のデータ書込電流は、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項13記載の薄膜磁性体記憶装置。

【請求項19】 前記薄膜磁性体記憶装置は、さらに、前記データ書込時において、前記書込データ線対を構成する2本の書込データ線同士を電氣的に結合するためのスイッチ回路と、

前記データ書込時において、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書込回路とを備える、請求項17または18に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜磁性体記憶

装置に関し、より特定のには、磁気トンネル接合(MTJ: Magnetic Tunneling Junction)を有するメモリセルを備えたランダムアクセスメモリに関する。

【0002】

【従来の技術】低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM (Magnetic Random Access Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】特に、近年では磁気トンネル接合(MTJ: Magnetic Tunnel Junction)を利用した薄膜磁性体をメモリセルとして用いることによって、MRAM装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.および“Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.等の技術文献に開示されている。

【0004】図88は、磁気トンネル接合部を有するメモリセル(以下、単に「MTJメモリセル」とも称する)の構成を示す概略図である。

【0005】図88を参照して、MTJメモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部MTJと、アクセストランジスタATRとを備える。アクセストランジスタATRは、電界効果トランジスタで形成され、磁気トンネル接合部MTJと接地電圧Vssとの間に結合される。

【0006】MTJメモリセルに対しては、データ書込を指示するためのライトワード線WWLと、データ読出を指示するためのリードワード線RWLと、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。

【0007】図89は、MTJメモリセルからのデータ読出動作を説明する概念図である。図89を参照して、磁気トンネル接合部MTJは、一定方向の固定磁界を有する磁性体層(以下、単に「固定磁気層」とも称する)FLと、自由磁界を有する磁性体層(以下、単に「自由磁気層」とも称する)VLとを有する。固定磁気層FLおよび自由磁気層VLとの間には、絶縁体膜で形成されるトンネルバリアTBが配置される。自由磁気層VLにおいては、記憶データのレベルに応じて、固定磁気層FLと同一方向の磁界および固定磁気層FLと異なる方向の磁界のいずれか一方が不揮発的に書込まれる。

【0008】データ読出時においては、アクセストラン

ジスタATRがリードワード線RWLの活性化に応じてターンオンされる。これにより、ビット線BL～磁気トンネル接合部MTJ～アクセストランジスタATR～接地電圧 $V_{ss}$ の電流経路に、図示しない制御回路から一定電流として供給されるセンス電流 $I_s$ が流れる。

【0009】磁気トンネル接合部MTJの抵抗値は、固定磁気層FLと自由磁気層VLとの間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層FLの磁界方向と自由磁気層VLに書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部MTJの抵抗値は小さくなる。

【0010】したがって、データ読出時においては、センス電流 $I_s$ によって磁気トンネル接合部MTJで生じる電圧変化は、自由磁気層VLに記憶された磁界方向に応じて異なる。これにより、ビット線BLを一旦所定電圧にプリチャージした状態とした後にセンス電流 $I_s$ の供給を開始すれば、ビット線BLの電圧レベル変化の監視によってMTJメモリの記憶データのレベルを読み出すことができる。

【0011】図90は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0012】図90を参照して、データ書込時においては、リードワード線RWLは非活性化され、アクセストランジスタATRはターンオフされる。この状態で、自由磁気層VLに磁界を書込むためのデータ書込電流がライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁気層VLの磁界方向は、ライトワード線WWLおよびビット線BLをそれぞれ流れるデータ書込電流の向きの組合せによって決定される。

【0013】図91は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【0014】図91を参照して、横軸で示される磁界 $H_x$ は、ライトワード線WWLを流れるデータ書込電流によって生じる磁界 $H$  (WWL) の方向を示す。一方、縦軸に示される磁界 $H_y$ は、ビット線BLを流れるデータ書込電流によって生じる磁界 $H$  (BL) の方向を示す。

【0015】自由磁気層VLに記憶される磁界方向は、磁界 $H$  (WWL) と $H$  (BL) との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合には、自由磁気層VLに記憶される磁界方向は更新されない。

【0016】したがって、磁気トンネル接合部MTJの記憶データを書込動作によって更新するためには、ライトワード線WWLとビット線BLとの両方に電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0017】データ読出時においても、ビット線BLにはセンス電流 $I_s$ が流れる。しかし、センス電流 $I_s$ は一般的に、上述したデータ書込電流よりは1～2桁程度小さくなるように設定されるので、センス電流 $I_s$ の影響によりデータ読出時においてMTJメモリの記憶データが誤って書換えられる可能性は小さい。

【0018】上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

【0019】

【発明が解決しようとする課題】図92は、行列状に集積配置されたMTJメモリセルを示す概念図である。

【0020】図92を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図26においては、MTJメモリセルを $n$ 行 $\times$  $m$ 列( $n, m$ : 自然数)に配置する場合が示される。

【0021】既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLを配置する必要がある。したがって、行列状に配された $n \times m$ 個のMTJメモリセルに対して、 $n$ 本のライトワード線WWL1～WWL $n$ およびリードワード線RWL1～RWL $n$ と、 $m$ 本のビット線BL1～BL $m$ とを配置する必要がある。すなわち、読出動作と書込動作とのそれぞれに対応して独立したワード線を設ける構成が必要となる。

【0022】図93は、半導体基板上に配置されたMTJメモリセルの構造図である。図93を参照して、半導体基板SUB上の $p$ 型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、 $n$ 型領域であるソース/ドレイン領域110、120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成された金属配線を介して接地電圧 $V_{ss}$ と結合される。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

【0023】磁気トンネル接合部MTJは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。アクセストランジスタATRのソース/ドレイン領域120は、コンタクトホールに形成された金属膜150と、第1および第2の金属配線層M1およびM2と、バリアメタル140とを介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

【0024】既に説明したように、MTJメモリセルにおいては、リードワード線RWLはライトワード線WW

Lとは独立の配線として設けられる。また、ライトワード線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

【0025】一方、リードワード線RWLは、アクセストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成されていた。

【0026】このように、データ読出およびデータ書込に必要な配線が多いことから、MTJメモリセルを半導体基板上に集積し配置する場合において、これらの配線の配置スペースとの関係でセルサイズが大型化してしまう問題点があった。

【0027】また、MTJメモリセルの集積化を図るには、配線のピッチを小さくしたり配線層数を多くする必要があり、プロセス工程の複雑化に起因する製造コストの上昇を招いていた。

【0028】さらに、配線数および配線層数が多いことから、ワード線とビット線との交点の各々にMTJメモリセルを配置する、いわゆるクロスポイント配置を採用せざるを得ないため、データ読出およびデータ書込の動作マージンを十分に確保することが困難であった。

【0029】また、データ書込時において、ビット線BLに比較的大きなデータ書込電流を流す必要があり、かつ書込データのレベルに応じて、このデータ書込電流の方向を制御する必要がある。このため、データ書込電流を制御するための回路が複雑化するという問題点もあった。

【0030】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、MTJメモリセルを有するMRAMデバイスにおいて、メモリアレイ全体に配置される配線数を削減して、MRAMデバイスの高集積化を図ることである。

【0031】この発明の他の目的は、いわゆる折返し型ビット線構成を適用することによって、MRAMデバイスのデータ読出および書込動作の安定性を向上することである。

【0032】この発明のさらに他の目的は、データ書込電流を供給するための制御回路の構成を簡素化して、MRAMデバイスのチップ面積を削減することである。

【0033】

【課題を解決するための手段】請求項1記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によ

て書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ読出時において、行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられ、データ書込時およびデータ読出時において第1のデータ書込電流およびデータ読出電流をそれぞれ流すための複数のデータ線と、行に対応して設けられ、データ書込時において第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、行および列のいずれかに対応して設けられ、データ読出時に用いる基準電圧を供給するための複数の基準電圧配線とをさらに備え、隣接する磁性体メモリセルは、複数の書込ワード線、複数の読出ワード線、複数のデータ線および複数の基準電圧配線のうちの少なくとも1つのうちの対応する1本を共有する。

【0034】請求項2記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられ、データ書込時およびデータ読出時において第1のデータ書込電流およびデータ読出電流をそれぞれ流すための複数のデータ線と、列に対応して設けられ、データ書込時において第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、データ読出に用いる基準電圧と書込ワード線とを結合するための複数のワード線電流制御回路とをさらに備え、隣接する磁性体メモリセルは、複数の書込ワード線、複数の読出ワード線および複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する。

【0035】請求項3記載の薄膜磁性体記憶装置は、請求項1または2に記載の薄膜磁性体記憶装置であって、隣接する磁性体メモリセルは、対応する書込ワード線およびデータ線のうちの記憶部からより遠い一方を共有し、書込ワード線およびデータ線のうちの一方は、書込ワード線および信号配線のうちの他方よりも大きい断面積を有する。

【0036】請求項4記載の薄膜磁性体記憶装置は、請求項1または2に記載の薄膜磁性体記憶装置であって、書込ワード線およびデータ線のうちの一方は、書込ワード線およびデータ線のうちの他方よりも、エレクトロマ

イグレーション耐性の大きい材質で形成される。

【0037】請求項5記載の薄膜磁性体記憶装置は、請求項1または2に記載の薄膜磁性体記憶装置であって、列方向に隣接する磁性体メモリセルは、複数の書込ワード線のうちの対応する1本を共有し、複数のデータ線のうちの2本ずつは、データ読出時においてデータ線対を構成し、同一の読出ワード線によって選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応するデータ線対を構成する2本のデータ線の各々に対して供給される。

【0038】請求項6記載の薄膜磁性体記憶装置は、請求項1または2に記載の薄膜磁性体記憶装置であって、列方向に隣接する磁性体メモリセルは、複数の読出ワード線のうちの対応する1本を共有し、複数のデータ線のうちの2本ずつは、データ書込時においてデータ線対を構成し、同一の書込ワード線によって選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、第1のデータ書込電流は、列選択結果に対応するデータ線対を構成する2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

【0039】請求項7記載の薄膜磁性体記憶装置は、請求項1または2に記載の薄膜磁性体記憶装置であって、複数のデータ線のうちの2本ずつは、データ読出時およびデータ書込時においてデータ線対を構成し、同一の読出ワード線および同一の書込ワード線によってそれぞれ選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応するデータ線対を構成する2本のデータ線の各々に対して供給され、第1のデータ書込電流は、2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

【0040】請求項8記載の薄膜磁性体記憶装置は、請求項6または7に記載の薄膜磁性体記憶装置であって、データ書込時において、データ線対を構成する2本のデータ線同士を電氣的に結合するためのスイッチ回路と、データ書込時において、列選択結果に対応するデータ線対を構成する2本のデータ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書込回路とをさらに備える。

【0041】請求項9記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ読出時において、行選択結果に応じて対応するメモリセル選択ゲート

を作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられる複数の信号配線とをさらに備え、行方向に隣接する磁性体メモリセルは、複数の信号配線のうちの対応する1本を共有し、データ書込時およびデータ読出時において、第1のデータ書込電流およびデータ読出電流を信号配線にそれぞれ供給するための読出書込制御回路と、列に対応して設けられ、データ書込時において第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、複数の信号配線に対応してそれぞれ設けられ、データ読出時に用いる基準電圧と複数の信号配線のうちの対応する1本とを電氣的に結合するための複数の制御スイッチとをさらに備え、複数の制御スイッチは、各磁性体メモリセルに対応する2本の信号配線のうちの行選択結果に応じて選択される1本を基準電圧と結合する。

【0042】請求項10記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、列方向に隣接する磁性体メモリセルは、複数の読出ワード線および複数の書込ワード線の少なくとも1つのうちの対応する1本を共有する。

【0043】請求項11記載の薄膜磁性体記憶装置は、請求項9または10に記載の薄膜磁性体記憶装置であって、隣接する磁性体メモリセルは、対応する書込ワード線および信号配線のうちの記憶部からより遠い一方を共有し、書込ワード線および信号配線のうちの一方は、書込ワード線および信号配線のうちの他方よりも大きい断面積を有する。

【0044】請求項12記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、書込ワード線および信号配線のうちの一方は、対応する書込ワード線および信号配線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。

【0045】請求項13記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ書込時において第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、行に対応して設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられ、データ書込時において第2のデータ書込電流を流すための複数の書込データ線と、列に対応して設けられ、データ読出時においてデータ読出電流を流すための複数の読出データ線とをさらに備え、隣接する磁

性体メモリセルは、複数の書込ワード線、複数の読出ワード線、複数の読出データ線および複数の書込データ線の少なくとも1つのうちの対応する1本を共有する。

【0046】請求項14記載の薄膜磁性体記憶装置は、請求項13に記載の薄膜磁性体記憶装置であって、隣接する磁性体メモリセルは、対応する書込ワード線および書込データ線のうちの記憶部からより遠い一方を共有し、書込ワード線および書込データ線のうちの一方は、書込ワード線および書込データ線のうちの他方よりも大きい断面積を有する。

【0047】請求項15記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、書込ワード線および書込データ線のうちの一方は、書込ワード線および書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。

【0048】請求項16記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、列方向に隣接する磁性体メモリセルは、複数の書込ワード線のうちの対応する1本を共有し、複数の読出データ線のうちの2本ずつは、データ読出時において読出データ線対を構成し、同一の読出ワード線によって選択される複数の磁性体メモリセルは、読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する2本の読出データ線の各々に対して供給される。

【0049】請求項17記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、列方向に隣接する磁性体メモリセルは、複数の読出ワード線のうちの対応する1本を共有し、複数の書込データ線のうちの2本ずつは、データ書込時において書込データ線対を構成し、同一の書込ワード線によって選択される複数の磁性体メモリセルは、書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、第2のデータ書込電流は、列選択結果に対応する書込データ線対を構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される。

【0050】請求項18記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、複数の書込データ線および読出データ線のうちの2本ずつは、書込データ線対および読出データ線対をそれぞれ構成し、同一の読出ワード線によって選択される複数の磁性体メモリセルは、読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、同一の書込ワード線によってそれぞれ選択される複数の磁性体メモリセルは、書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する2本の読出データ線の各々に対して供給され、第2のデータ書込電流は、列選択結果に対応する書込データ線対を

構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される。

【0051】請求項19記載の薄膜磁性体記憶装置は、請求項17または18に記載の薄膜磁性体記憶装置であって、データ書込時において、書込データ線対を構成する2本の書込データ線同士を電気的に結合するためのスイッチ回路と、データ書込時において、列選択結果に対応する書込データ線対を構成する2本の書込データ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書込回路とをさらに備える。

【0052】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳細に説明する。

【0053】【実施の形態1】図1は、本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0054】図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを行ない、書込データDINの入力および読出データDOUTの出力を実行する。

【0055】MRAMデバイス1は、制御信号CMDに応答してMRAMデバイス1の全体動作を制御するコントロール回路5と、行列状に配置された複数のMTJメモリセル（以下、単に「メモリセル」とも称する）を有するメモリアレイ10とを備える。メモリアレイ10の構成は後に詳細に説明するが、MTJメモリセルの行（以下、単に「メモリセル行」とも称する）に対応して複数のライトワード線WWLおよびリードワード線RWLが配置され、MTJメモリセルの列（以下、単に「メモリセル列」とも称する）に対応して複数のビット線BLおよび基準電圧配線SLが配置される。

【0056】MRAMデバイス1は、さらに、アドレス信号ADDによって示されるロウアドレスRAのデコード結果に応じて、メモリアレイ10における行選択を実行する行デコード20と、アドレス信号ADDによって示されるコラムアドレスCAのデコード結果に応じて、メモリアレイ10における列選択を実行する列デコード25と、行デコード20の行選択結果に基づいてリードワード線RWLおよびライトワード線WWLを選択的に活性化するためのワード線ドライバ30と、データ書込時においてライトワード線WWLにデータ書込電流を流すためのワード線電流制御回路40と、データ読出およびデータ書込時のそれぞれにおいてデータ書込電流およびセンス電流を流すための読出／書込制御回路50、60とを備える。

【0057】読出／書込制御回路50および60は、メモリアレイ10の両端部におけるビット線BLの電圧レベルを制御して、データ書込およびデータ読出をそれぞれ実行するためのデータ書込電流およびセンス電流をビット線BLに流す。



【0058】[メモリセルの構成および動作] 図2は、実施の形態1に従うMTJメモリセルと信号配線との間の接続関係を示す回路図である。

【0059】図2を参照して、メモリセルに対して、リードワード線RWL、ライトワード線WWL、ビット線BLおよび基準電圧配線SLが設けられる。

【0060】メモリセルは、直列に結合された磁気トンネル接合部MTJおよびアクセストランジスタATRを含む。既に説明したように、アクセストランジスタATRには、半導体基板上に形成された電界効果トランジスタであるMOSトランジスタが代表的に適用される。

【0061】アクセストランジスタATRのゲートはリードワード線RWLと結合される。アクセストランジスタATRは、リードワード線RWLが選択状態(Hレベル、電源電圧Vcc)に活性化されるとターンオンして、磁気トンネル接合部MTJと基準電圧配線SLとを電氣的に結合する。基準電圧配線SLは、接地電圧Vssを供給する。磁気トンネル接合部MTJは、ビット線BLとアクセストランジスタATRとの間に電氣的に結合される。

【0062】したがって、アクセストランジスタATRのターンオンにตอบสนองして、ビット線BL～磁気トンネル接合部MTJ～アクセストランジスタATR～基準電圧配線SLの電流経路が形成される。この電流経路にセンス電流Isを流すことにより、磁気トンネル接合部MTJの記憶データのレベルに応じた電圧変化がビット線BLに生じる。

【0063】一方、リードワード線RWLが非選択状態(Lレベル、接地電圧Vss)に非活性化される場合には、アクセストランジスタATRはターンオフして、磁気トンネル接合部MTJと基準電圧配線SLとの間を電氣的に遮断する。

【0064】ライトワード線WWLは、リードワード線RWLと平行に、磁気トンネル接合部MTJと近接して設けられる。データ書込時においては、ライトワード線WWLおよびビット線BLにデータ書込電流が流れ、これらのデータ書込電流によってそれぞれ生じる磁界の和によってメモリセルの記憶データのレベルが書換えられる。

【0065】図3は、実施の形態1に従うメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【0066】まず、データ書込時の動作について説明する。ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWLの電圧を選択状態(Hレベル)に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態(Lレベル)のままである。

【0067】リードワード線RWLは、データ書込時においては、活性化されず非選択状態(Lレベル)に維持

される。ワード線電流制御回路40によって、各ライトワード線WWLは、接地電圧Vssと結合されているので、選択行のライトワード線WWLにはデータ書込電流Ipが流される。一方、非選択行のライトワード線WWLには電流は流れない。

【0068】読出/書込制御回路50および60は、メモリアレイ10の両端におけるビット線BLの電圧を制御することによって、書込データのデータレベルに応じた方向のデータ書込電流を生じさせる。たとえば“1”の記憶データを書込む場合には、読出/書込制御回路60側のビット線電圧を高電圧状態(電源電圧Vcc)に設定し、反対側の読出/書込制御回路50側のビット線電圧を低電圧状態(接地電圧Vss)に設定する。これにより、読出/書込制御回路60から50へ向かう方向にデータ書込電流+Iwがビット線BLを流れる。一方、“0”の記憶データを書込む場合には、読出/書込制御回路50側および60側のビット線電圧を高電圧状態(電源電圧Vcc)および低電圧状態(接地電圧Vss)にそれぞれ設定し、読出/書込制御回路50から60へ向かう方向にデータ書込電流-Iwがビット線BLを流れる。

【0069】この際に、データ書込電流±Iwを各ビット線に流す必要はなく、読出/書込制御回路50および60は、列デコーダ25の列選択結果に応じて、選択列に対応する一部のビット線に対してデータ書込電流±Iwを選択的に流すように、上述したビット線BLの電圧を制御すればよい。

【0070】このようにデータ書込電流Ipおよび±Iwの方向を設定することによって、データ書込時において、書込まれる記憶データのレベル“1”、“0”に応じて、逆方向のデータ書込電流+Iwおよび-Iwのいずれか一方を選択し、ライトワード線WWLのデータ書込電流Ipをデータレベルに関係なく一定方向に固定することによって、ライトワード線WWLに流れるデータ書込電流Ipの方向を常に一定にすることができる。この結果、以下に説明するようにワード線電流制御回路40の構成を簡略化することができる。

【0071】次にデータ読出動作について説明する。データ読出時において、ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。非選択行に対応するリードワード線RWLの電圧レベルは、非選択状態(Lレベル)に維持される。データ読出時においては、ライトワード線WWLは活性化されことなく非選択状態(Lレベル)に維持されたままである。

【0072】データ読出動作前において、ビット線BLはたとえば高電圧状態(電源電圧Vcc)にプリチャージされる。この状態からデータ読出が開始されて、選択行においてリードワード線RWLがHレベルに活性化さ

れると、対応するアクセストランジスタATRがターンオンする。

【0073】これに応じて、メモリセルにおいては、アクセストランジスタATRを介して、接地電圧 $V_{ss}$ を供給する基準電圧配線SLとビット線BLとの間にセンス電流 $I_s$ の電流経路が形成される。センス電流 $I_s$ により、メモリセルの記憶データのデータレベルに応じて異なる電圧降下がビット線BLに生じる。図3においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層FLと自由磁気層VLとにおける磁界方向が同一であるとする、記憶データが“1”である場合にビット線BLの電圧降下 $\Delta V_1$ は小さく、記憶データが“0”である場合のビット線BLの電圧降下 $\Delta V_2$ は、 $\Delta V_1$ よりも大きくなる。これらの電圧降下 $\Delta V_1$ および $\Delta V_2$ の差を検知することによって、メモリセルに記憶されたデータのレベルを読み出すことができる。

【0074】基準電圧配線SLの電圧レベルは、データ読出時においては、センス電流を流すために接地電圧 $V_{ss}$ に設定される必要がある。一方、データ書込時においては、アクセストランジスタATRがターンオフされるため、基準電圧配線SLが磁気トンネル接合部MTJに特に影響を及ぼすことはない。よって、基準電圧配線SLの電圧レベルは、データ読出時と同様に接地電圧 $V_{ss}$ に設定できる。したがって、基準電圧配線SLは、接地電圧 $V_{ss}$ を供給するノードと結合する態様とすればよい。

【0075】図4は、実施の形態1に従うメモリセルの配置を説明する構造図である。図4を参照して、アクセストランジスタATRは、半導体基板SUB上のp型領域PARに形成される。基準電圧配線SLは、第1の金属配線層M1に配置されて、アクセストランジスタATRの一方のソース/ドレイン領域110と電気的に結合される。また、基準電圧配線SLは、半導体基板上のいずれかのノードにおいて、接地電圧 $V_{ss}$ を供給するノードと結合される。

【0076】他方のソース/ドレイン領域120は、第1の金属配線層M1および第2の金属配線層M2に設けられた金属配線、コンタクトホールに形成された金属膜150およびバリアメタル140を経由して、磁気トンネル接合部MTJと結合される。ライトワード線WWLは、磁気トンネル接合部と近接して第2の金属配線層M2に設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0077】ビット線BLは、磁気トンネル接合部MTJと電気的に結合するように、第3の金属配線層M1に配置される。

【0078】[メモリアレイにおける信号線の共有] 図5は、実施の形態1に従うメモリアレイ10の構成を示

すブロック図である。

【0079】図5を参照して、メモリアレイ10は、行列状に配置された複数のメモリセルMCを有する。実施の形態1に従う構成においては、各メモリセル行に対してリードワード線RWLおよびライトワード線WWLが設けられ、各メモリセル列に対応してビット線BLおよび基準電圧配線SLが配置される。リードワード線RWLおよびライトワード線WWLは、行方向に沿って配置される。ビット線BLおよび基準電圧配線SLは、列方向に沿って配置される。

【0080】行方向に隣接するメモリセルは、同一の基準電圧配線SLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本の基準電圧配線SL1を共有する。他のメモリセル列に対しても、基準電圧配線SLは、同様に配置される。基準電圧配線SLは、基本的には一定電圧（本実施の形態においては、接地電圧 $V_{ss}$ ）を供給するので、特別な電圧制御等を行なうことなく、このように共有することができる。

【0081】ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 $V_{ss}$ と結合する。これにより、ライトワード線WWLを選択状態（Hレベル、電源電圧 $V_{cc}$ ）に活性化した場合に、各ライトワード線にデータ書込電流 $I_p$ を流すことができる。

【0082】なお、以下においては、ライトワード線、リードワード線、ビット線および基準電圧配線を総括的に表現する場合には、符号WWL、RWL、BLおよびSLをそれぞれ用いて表記することとし、特定のライトワード線、リードワード線およびビット線を示す場合には、これらの符号に添字を付してRWL1、WWL1のように表記するものとする。

【0083】基準電圧配線SLを行方向に隣接するメモリセル間で共有することにより、メモリアレイ10全体に配置される配線数を削減することができる。この結果、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0084】[実施の形態1の変形例1] 図6は、実施の形態1の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0085】図6を参照して、実施の形態1の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線BLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のビット線BLを共有する。他のメモリセル列に対しても、ビット線BLは、同様に配置される。

【0086】ただし、同一のビット線BLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生して、MRAMデバイスは誤動作を生じてしまう。したがって、実施の形態1



の変形例1に従うメモリアレイ10においては、メモリセルMCは、メモリセル行およびメモリセル列のそれぞれについて、1行および1列おきに配置される。以下においては、メモリアレイ10におけるこのようなメモリセルの配置を「交互配置」とも称する。一方、基準電圧配線SLは、各メモリセル列ごとに配置される。

【0087】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態1と同様であるので、詳細な説明は繰り返さない。

【0088】このような構成とすることにより、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0089】[実施の形態1の変形例2] 図7は、実施の形態1の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0090】図7を参照して、実施の形態1の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本のライトワード線WWL1を共有する。他のメモリセル行に対しても、ライトワード線WWLは、同様に配置される。

【0091】ここで、データ書込を正常に実行するためには、同一のライトワード線WWLおよび同一のビット線BLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、実施の形態1の変形例1の場合と同様に、メモリセルMCは交互配置される。

【0092】図7においては、基準電圧配線SLが各メモリセル列ごとに配置される構成を示しているが、図5の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線SLを共有する構成としてもよい。

【0093】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態1と同様であるので、詳細な説明は繰り返さない。

【0094】このような構成とすることにより、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0095】また、ライトワード線WWLの配線ピッチの緩和によって、ライトワード線WWLの配線幅をより広く確保することができる。これにより、以下に述べる効果がさらに生じる。

【0096】図8は、ライトワード線WWLの配置を説明する構造図である。図8(a)には、図5および図6の構成に対応するメモリセルMCの構造が示される。図

8(a)の構造においては、ライトワード線WWLは、隣接するメモリセル列間で共有されないため、各ライトワード線WWLの配線幅を確保することが困難である。

【0097】既に説明したように、データ書込時においては、ビット線BLおよびライトワード線WWLの両方にデータ書込電流を流すことが必要である。ライトワード線WWLは、磁気トンネル接合部MTJとの間に配線層間絶縁膜を介して配置されるので、高さ方向におけるライトワード線WWLと磁気トンネル接合部MTJとの間の距離は、ビット線BLと磁気トンネル接合部MTJとの間の距離よりも大きくなる。したがって、データ書込時において、磁気トンネル接合部MTJに同じ強さの磁界を生じさせるためには、磁気トンネル接合部MTJとの間の距離が大きいライトワード線WWLに対して、より大きな電流を流す必要が生じる。

【0098】一方、ライトワード線WWL等が形成される金属配線においては、電流密度が過大になると、エレクトロマイグレーションと呼ばれる現象によって、断線や配線間短絡が発生するおそれがある。したがって、ライトワード線WWLの電流密度を小さくすることが望ましい。

【0099】図8(b)には、図7の構成に対応するメモリセルMCの構造が示される。図8(b)の構造においては、ライトワード線WWLは、隣接するメモリセル列間で共有されるため、メモリセル列2列分の配置スペースを用いてライトワード線WWLを配置することができる。したがって、各ライトワード線WWLの配線幅を広くして、少なくともビット線BLよりも広い配線幅、すなわち大きな断面積を確保できる。この結果、ライトワード線WWLにおける電流密度を抑制して、MRAMデバイスの信頼性を向上させることができる。

【0100】また、磁気トンネル接合部MTJとの間の距離が大きい金属配線(図8(a),(b)においてはライトワード線WWL)を、エレクトロマイグレーション耐性の高い材料によって形成することも信頼性の向上に効果がある。たとえば、他の金属配線がアルミ合金(AI合金)で形成される場合に、エレクトロマイグレーション耐性を考慮する必要がある金属配線を銅(Cu)によって形成すればよい。

【0101】[実施の形態1の変形例3] 図9は、実施の形態1の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0102】図9を参照して、実施の形態1の変形例3に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本のリードワード線RWL1を共有する。他のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0103】ここで、データ読出を正常に実行するため

には、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一のビット線BLと同時に結合されないことが必要である。したがって、実施の形態1の変形例1の場合と同様に、メモリセルMCは交互配置される。

【0104】基準電圧配線SLについては、各メモリセル列ごとに配置される構成を示しているが、図5の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線SLを共有する構成としてもよい。

【0105】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態1と同様であるので、詳細な説明は繰り返さない。

【0106】このような構成とすることにより、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0107】〔実施の形態1の変形例4〕図10は、実施の形態1の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【0108】図10を参照して、実施の形態1の変形例4に従うメモリアレイ10においては、実施の形態1の変形例2と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本のライトワード線WWL1を共有する。他のメモリセル行に対しても、ライトワード線WWLは、同様に配置される。

【0109】さらに、リードワード線RWLが、列方向に隣接するメモリセル間で共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、リードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0110】既に説明したように、データ読出およびデータ書込を正常に行なうためには、1本のリードワード線RWLによって選択される複数のメモリセルMCが、同一のビット線BLと同時に結合されないこと、および1本のライトワード線WWLによって同時に選択される複数のメモリセルMCが、同一のビット線BLからデータ書込磁界を同時に与えられないことが必要である。したがって、実施の形態1の変形例4においても、メモリセルMCは交互配置される。

【0111】基準電圧配線SLについては、各メモリセル列ごとに配置される構成を示しているが、図5の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線SLを共有する構成としてもよい。

【0112】その他の部分の構成と、データ読出および

データ書込時における各メモリセルの動作とは、実施の形態1と同様であるので、詳細な説明は繰り返さない。

【0113】このような構成とすることにより、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態1の変形例2および3の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

10 【0114】また、実施の形態1の変形例2の場合と同様に、ライトワード線WWLのエレクトロマイグレーション耐性を向上させて、MRAMデバイスの信頼性を向上させることができる。

【0115】〔実施の形態1の変形例5〕図11は、実施の形態1の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0116】図11を参照して、実施の形態1の変形例5に従うメモリアレイ10においては、基準電圧配線SLおよびビット線BLは、共通配線SBLに統合される。共通配線SBLは、メモリセル列に対応してそれぞれ配置される。図11においては、第1番目から第5番目のメモリセル列にそれぞれ対応する共通配線SBL1～SBL5が代表的に示される。

【0117】読出／書込制御回路50は、データ書込電流およびセンス電流を供給するための電流供給回路51と、メモリセル列に対応してそれぞれ配置されるコラム選択ゲートを含む。図11においては、共通配線SBL1～SBL5にそれぞれ対応するコラム選択ゲートCSG1～CSG5が代表的に示される。以下においては、これらの複数のコラム選択ゲートを総称して、単にコラム選択ゲートCSGとも称する。

【0118】列デコード25は、列選択結果に応じて、メモリセル列に対応してそれぞれ設けられる複数のコラム選択線のうちの1本を選択状態に活性化する。図11においては、共通配線SBL1～SBL5にそれぞれ対応するコラム選択線CSL1～CSL5が代表的に示される。以下においては、これらの複数のコラム選択線を総称して、単にコラム選択線CSLとも称する。

【0119】各コラム選択ゲートCSGは、対応するコラム選択線CSLの電圧レベルに応じてオンする。

【0120】読出／書込制御回路60は、データ書込電流を供給するための電流供給回路61と、メモリセル列に対応してそれぞれ配置されるライトコラム選択ゲートを含む。さらに、メモリセル列にそれぞれ対応して複数の共通配線制御が設けられる。図11においては、共通配線SBL1～SBL5にそれぞれ対応するライトコラム選択ゲートWCG1～WCG5および共通配線制御トランジスタCCT1～CCT5が代表的に示される。以下においては、これらの複数のライトコラム選択ゲートおよび共通配線制御トランジスタを総称する場合に

は、符号WCGおよびCCTをそれぞれ用いることとする。

【0121】列デコーダ25は、さらに、コラムアドレスCAのデコード結果に応じて、メモリセル列に対応してそれぞれ設けられる複数のライトコラム選択線のうちの1本を選択状態に活性化する。ライトコラム選択線は、データ書込時のみにおいて活性化の対象とされる。図11においては、共通配線SBL1～SBL5にそれぞれ対応するライトコラム選択線WCSL1～WCSL5が代表的に示される。以下においては、これらの複数のライトコラム選択線を総称して、単にライトコラム選択線WCSLとも称する。

【0122】各ライトコラム選択ゲートWCGは、対応するライトコラム選択線WCSLの電圧レベルに応じてオンする。

【0123】共通配線制御トランジスタCCTは、共通配線SBLに対して、基準電圧配線SLおよびビット線BLの機能を併有させるために設けられる。

【0124】共通配線SBLはビット線BLとしても機能するので、同一の共通配線SBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となることがないようにメモリセルMCを配置する必要がある。したがって、実施の形態1の変形例5に従うメモリアレイ10においても、メモリセルMCは交互配置される。

【0125】図12は、共通配線制御トランジスタCCTのオン/オフに対応した共通配線SBLの動作を示すタイミングチャートである。

【0126】図12を参照して、ライトワード線WWLおよびリードワード線RWLのデータ書込時およびデータ読出時における動作は、図3で説明したのと同様である。

【0127】共通配線制御トランジスタCCTがオンする場合には、対応する共通配線SBLは、接地電圧V<sub>ss</sub>と結合されて基準電圧配線SLとして機能する。

【0128】一方、対応する共通配線制御トランジスタCCTがオフされる場合においては、共通配線SBLは、コラム選択ゲートCSGおよびライトコラム選択ゲートWCGを介して、電流供給回路51および61の間に結合される。

【0129】データ書込時においては、列選択結果に応じて、コラム選択ゲートCSGおよびライトコラム選択ゲートWCGがオンして、共通配線SBLには図3の場合と同様のデータ書込電流が流される。

【0130】データ読出時においては、列選択結果に応じてコラム選択ゲートCSGがオンして、共通配線SBLにはセンス電流が流される。共通配線SBLを用いる構成においては、データ読出前におけるプリチャージ電圧を接地電圧V<sub>ss</sub>とすることによって、共通配線SBLによるビット線BLおよび基準電圧配線SLの共用を

円滑に行なうことができる。したがって、データ読出の対象となるメモリセルに保持された記憶データのレベルは、接地電圧V<sub>ss</sub>からの電圧上昇量に応じて検知される。

【0131】さらに、データ読出時において、各共通配線SBLを基準電圧配線SLおよびビット線BLのいずれとして動作させるかについては、行デコード結果に対応させて定める必要がある。すなわち、選択行のメモリセルMCにおいて、アクセストランジスタATRと結合される側の共通配線SBLを基準電圧配線SLとして機能させ、磁気トンネル接合部MTJと結合される側の共通配線SBLをビット線BLとして機能させる必要がある。

【0132】奇数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT1、CCT3、…のゲートには、制御信号RA1が入力される。制御信号RA1は、データ読出時において、奇数番目のメモリセル行が選択された場合にHレベルに活性化される。

【0133】偶数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT2、CCT4、…のゲートには、制御信号/RA1が入力される。制御信号/RA1は、データ読出時において、偶数番目のメモリセル行が選択された場合にHレベルに活性化される。

【0134】データ書込時においては、制御信号RA1および/RA1の両方は、Lレベルに非活性化される。これにより、各共通配線制御トランジスタCCTはオフされるので、コラム選択結果に応じて、共通配線SBLにデータ書込電流I<sub>w</sub>を流すことができる。

【0135】このような構成とすることにより、基準電圧配線SLおよびビット線BLの機能を統合した共通配線SBLを用いて、実施の形態1と同様のデータ読出およびデータ書込を行なうことができる。

【0136】この結果、列方向の信号線ピッチを緩和して、メモリセルMCを効率的に配することによりメモリアレイ10を高集積化することができる。

【0137】図11においては、さらに、実施の形態1の変形例2と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。

【0138】したがって、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。また、ライトワード線WWLのエレクトロマイグレーション耐性を向上させて、MRAMデバイスの信頼性を向上させることができる。

【0139】なお、この変形例で示した、共通配線SBLによる基準電圧配線SLおよびビット線BLの統合は、この他に、実施の形態1の変形例3および4でそれぞれ説明した、隣接メモリセル行間におけるリードワード線RWLの共有および、隣接メモリセル行間における

リードワード線RWLとライトワード線WWLとの双方の共有のいずれかと組合せて適用することも可能である。

【0140】〔実施の形態2〕実施の形態2においては、折返し型ビット線構成の適用について説明する。

【0141】図13は、実施の形態2に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0142】図13を参照して、メモリアレイ10は、行列状に配置された複数のメモリセルMCを有する。リードワード線RWL、ライトワード線WWLは、メモリセル行にそれぞれ対応して行方向に沿って配置され、ビット線BLは、メモリセル列にそれぞれ対応して、列方向に沿って配置される。また、基準電圧配線SLは、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに配置され、同一の組に属するメモリセル列間で共有される。ワード線電流制御回路40は、各ライトワード線WWLを接地電圧Vssと結合する。これにより、ライトワード線WWLを選択状態（Hレベル、電源電圧Vcc）に活性化した場合に、各ライトワード線にデータ書込電流Ipを流すことができる。

【0143】メモリセルMCは、メモリセル行およびメモリセル列の1行および1列ごとに交互配置されるので、各ビット線BLに対しては、メモリセルMCは1行おきに接続される。したがって、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いてビット線対を構成できる。たとえば、第1番目および第2番目のメモリセル列にそれぞれ対応するビット線BL1およびBL2によって、ビット線対BLP1を構成することができる。この場合は、ビット線BL2は、ビット線BL1と相補のデータを伝達するので、ビット線/BL1とも表記する。以降のメモリセル列に対しても同様に、メモリセル列の組ごとにビット線対を構成するように、各ビット線は配置される。

【0144】以下においては、各ビット線対を構成するビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれぞれをビット線BLおよび/BLとも総称する。これにより、いわゆる折返し型ビット線構成に基づいて、データ読出およびデータ書込を実行することができる。

【0145】読出/書込制御回路60は、ビット線イコライズ信号BLEQに応じてオン/オフされるイコライズトランジスタと、ビット線プリチャージ信号BLPRに応じてオン/オフされるプリチャージトランジスタとを有する。

【0146】イコライズトランジスタは、ビット線対ごとに、メモリセル列の組ごとに設けられる。図13においては、ビット線BL1およびBL2（/BL1）に対応するイコライズトランジスタ62-1および、ビット線BL3およびBL4（/BL3）に対応するイコライ

ズトランジスタ62-2が代表的に示される。たとえば、イコライズトランジスタ62-1は、ビット線イコライズ信号BLEQの活性化（Hレベル）に応答して、ビット線BL1とBL2（/BL1）とを電気的に結合する。以下においては、これらの複数のイコライズトランジスタを総称して、単にイコライズトランジスタ62とも称する。

【0147】その他のビット線対の各々に対応して設けられるイコライズトランジスタ62も同様に、ビット線イコライズ信号BLEQの活性化に応答して、対応するビット線対を構成するビット線BLおよび/BLの間を電気的に結合する。

【0148】ビット線イコライズ信号BLEQは、コントロール回路5によって生成される。ビット線イコライズ信号BLEQは、MRAMデバイス1のスタンバイ期間、MRAMデバイス1のアクティブ期間のうちメモリアレイ10が非選択状態である場合およびアクティブ期間内でデータ書込動作時において、各ビット線対を構成するビット線間を短絡するために、Hレベルに活性化される。

【0149】一方、MRAMデバイスのアクティブ期間におけるデータ読出動作時においては、ビット線イコライズ信号BLEQはLレベルに非活性化される。これに応答して、各ビット線対を構成するビット線BLおよび/BLの間は遮断される。

【0150】プリチャージトランジスタは、ビット線ごとに設けられる。図13においては、ビット線BL1～BL4にそれぞれ対応するプリチャージトランジスタ64-1～64-4が代表的に示される。以下においては、これらの複数のプリチャージトランジスタを総称して、単にプリチャージトランジスタ64とも称する。その他のビット線の各々に対応しても、プリチャージトランジスタ64が同様に配置される。

【0151】ビット線プリチャージ信号BLPRは、コントロール回路5によって生成される。ビット線プリチャージ信号BLPRは、MRAMデバイス1のアクティブ期間において、データ読出動作の開始に先立ってHレベルに活性化される。これに応答して各プリチャージトランジスタ64がオンすることにより、各ビット線は所定のプリチャージ電圧にプリチャージされる。図13においては、プリチャージ電圧が電源電圧Vccである場合の構成が例示される。

【0152】コラム選択線は、ビット線対ごとに、すなわちメモリセル列の組ごとに設けられる。図13においては、第1番目および第2番目のメモリセル列に対応するコラム選択線CSL1および、第3番目および第4番目のメモリセル列に対応するコラム選択線CSL2が代表的に示される。以下においては、これらの複数のコラム選択線を総称して、単にコラム選択線CSLとも称する。

【0153】列デコーダ25は、列選択結果に応じて、複数のコラム選択線CSLのうちの1本を選択状態(Hレベル)に活性化する。

【0154】データI/O線対DI/OPは、データ線IOおよび/Oを含み、データ書込時におけるデータ書込電流 $I_w$ およびデータ読出時におけるセンス電流 $I_s$ を伝達する。すなわち、データI/O線対DI/OPは、データ読出時とデータ書込時において共有される。

【0155】次に、読出/書込制御回路50に含まれるコラム選択ゲート、データ書込回路50w、データ読出回路50rおよび電流切換回路53aの構成について説明する。

【0156】コラム選択ゲートは、メモリセル列に対応してそれぞれ配置される。図13においては、第1番目～第4番目のメモリセル列に対応するコラム選択ゲートCSG1～CSG4が代表的に示される。

【0157】同一のビット線対に対応する2個のコラム選択ゲートCSGは、共通のコラム選択線CSLに応じてオンする。たとえば、ビット線対BLP1に対応するコラム選択ゲートCSG1およびCSG2は、共通のコラム選択線CSL1の電圧レベルに応じてオン/オフする。

【0158】コラムアドレスCAのデコード結果、すなわち列選択結果に応じて、いずれか1つのビット線対が選択される。列選択結果に応じて活性化されたコラム選択線CSLにตอบสนองして、対応するコラム選択ゲートCSGがオンする。この結果、選択されたビット線対を構成するビット線BLおよび/Oは、データI/O線対DI/OPを構成するデータ線IOおよび/Oのそれぞれと電気的に結合される。

【0159】図14は、データ書込回路50wおよびデータ読出回路50rの構成を示す回路図である。

【0160】図14を参照して、データ書込回路50wは、データ書込時において活性化される制御信号WEにตอบสนองして動作する。データ書込回路50wは、ノードNw0に一定電流を供給するためのP型MOSトランジスタ151と、トランジスタ151の通過電流を制御するためのカレントミラー回路を構成するP型MOSトランジスタ152および電流源回路153を含む。

【0161】データ書込回路50wは、さらに、ノードNw0から動作電流の供給を受けて動作するインバータ154、155および156を有する。インバータ154は、書込データDINの電圧レベルを反転してノードNw1に伝達する。インバータ155は、書込データDINの電圧レベルを反転してインバータ156の入力ノードに伝達する。インバータ156は、インバータ154の出力を反転してノードNw2に伝達する。したがって、データ書込回路50wは、書込データDINの電圧レベルに応じて、ノードNw1およびNw2の電圧レベ

ルを電源電圧Vccおよび接地電圧Vssの一方ずつに設定する。

【0162】データ読出回路50rは、データ読出時において活性化される制御信号REにตอบสนองして動作して、読出データDOUTを出力する。

【0163】データ読出回路50rは、電源電圧Vccを受けてノードNs1およびNs2に一定電流をそれぞれ供給するための電流源回路161および162と、ノードNs1とノードNr1との間に電気的に結合されるN型MOSトランジスタ163と、ノードNs2とノードNr2との間に電気的に結合されるN型MOSトランジスタ164と、ノードNs1およびNs2の間の電圧差を増幅して読出データDOUTを出力する増幅器165とを有する。

【0164】トランジスタ163および164のゲートには参照電圧Vrefが与えられる。電流源回路161および162の供給電流量および参照電圧Vrefは、センス電流Isの電流量に応じて設定される。抵抗166および167は、ノードNs1およびNs2を接地電圧Vssにプルダウンするために設けられる。このような構成とすることにより、データ読出回路50rは、ノードNr1およびNr2の各々からセンス電流Isを供給することができる。

【0165】データ読出回路50rは、さらに、コラム選択ゲートおよびビット線対を介して接続されるメモリセルの記憶データのレベルに応じて、ノードNr1およびNr2にそれぞれ生じる電圧変化の差を増幅して、読出データDOUTを出力する。

【0166】電流切換回路53aは、データ書込回路50wのノードNw1とデータ読出回路50rのノードNr1の一方とデータ線IOとを選択的に結合するためのスイッチSW1aと、データ書込回路50wのノードNw2とデータ読出回路50rのノードNr2の一方をデータ線/Oと選択的に結合するスイッチSW1bとを有する。

【0167】スイッチSW1aおよびSW1bは、データ読出時およびデータ書込時のそれぞれにおいて信号レベルの異なる制御信号RWSに応じて動作する。

【0168】データ読出時においては、スイッチSW1aおよびSW1bは、データ読出回路50rの出力ノードNr1およびNr2をデータ線IOおよび/Oとそれぞれ結合する。一方、データ書込時においては、スイッチSW1aおよびSW1bはデータ書込回路50wのノードNw1およびNw2をデータ線IOおよび/Oとそれぞれ結合する。

【0169】再び図13を参照して、データ読出およびデータ書込時の動作について説明する。以下においては、一例として第3番目のメモリセル列が選択された場合について説明する。

【0170】まず、データ書込時における動作について

説明する。列選択結果に回答して、コラム選択線CSL2が選択状態（Hレベル）に活性化されて、コラム選択ゲートCSG3およびCSG4がオンする。これにより、データ線IOおよび/IOは、ビット線対BLP2を構成するビット線BL3およびBL4（/BL3）とそれぞれ電氣的に結合される。また、データ書込時においては、各イコライズトランジスタ62はオンするので、ビット線BL3およびBL4（/BL3）の間は短絡される。

【0171】データ書込回路50wは、電流切換回路53aを介して接続されるデータ線IOおよび/IOの電圧レベルを、電源電圧Vccおよび接地電圧Vssのいずれか一方ずつに設定する。たとえば、書込データDINのデータレベルがLレベルである場合には、図14に示すインバータ154および156の出力は、それぞれ電源電圧Vcc（高電圧状態）および接地電圧Vss（低電圧状態）にそれぞれ設定されるので、データ線IOにLレベルデータを書込むためのデータ書込電流-Iwが流される。

【0172】データ書込電流-Iwは、コラム選択ゲートCSG3を介してビット線BL3に供給される。ビット線BL3に伝達されるデータ書込電流-Iwは、イコライズトランジスタ62-2によって折返されてもう一方のビット線BL4（/BL2）においては、反対方向のデータ書込電流+Iwとして伝達される。ビット線BL4（/BL2）に流れるデータ書込電流+Iwは、コラム選択ゲートCSG4を介してデータ線/IOに伝達される。したがって、読出/書込制御回路60に電流シンクのための手段を設ける必要がなく、その構成を簡略化できる。

【0173】データ書込時においては、ライトワード線WWLのいずれか1個が選択状態（Hレベル）に活性化されて、データ書込電流Ipが流される。したがって、ビット線BL3に対応するメモリセル列において、対応するライトワード線WWLにデータ書込電流Ipが流されたメモリセルに対してLレベルデータのデータ書込が実行される。

【0174】一方、書込データDINのデータレベルがLレベルである場合には、ノードNw1およびNw2の電圧レベルの設定が上記の場合とは反対となり、ビット線BL2および/BL2には、上記と逆方向のデータ書込電流が流れて、上記とは逆のデータレベルが書込まれる。このようにして、書込データDINのデータレベルに応じた方向を有するデータ書込電流±Iwが、イコライズトランジスタ62によって折返されて、ビット線BLおよび/BLに供給される。

【0175】以上においては、奇数番目のメモリセル列が選択された場合のデータ書込について説明した。この場合においては、ビット線BLと結合されるメモリセルMCに対して、書込データDINのデータレベルがその

まま書込まれる。

【0176】ビット線/BLにはビット線BLと反対方向のデータ書込電流が流されるため、偶数番目のメモリセル列が選択された場合には、書込データDINのデータレベルと反対のデータレベルが、ビット線/BLと結合されるメモリセルMCに書込まれる。しかし、以下の説明で明らかになるように、この場合にも、書込データDINのデータレベルを正しく読出すことができる。

【0177】次にデータ読出について説明する。メモリセルMCは、1行ごとにビット線BLおよび/BLのいずれか一方ずつと結合される。たとえば、第1番目のメモリセル行に属するメモリセルは、ビット線BL1、BL3、…、すなわちBLと結合され、第2行目のメモリセルは、ビット線BL2、BL4、…、すなわち/BLと結合される。以下同様に、メモリセルの各々は、奇数行において各ビット線対の一方ずつのBLと接続され、偶数行において各ビット線対の他方ずつの/BLと接続される。

【0178】この結果、リードワード線RWLが行選択結果に応じて選択的に活性化されると、各ビット線対において、ビット線BLおよび/BLのいずれか一方が、メモリセルMCと結合される。

【0179】メモリアレイ10は、さらに、メモリセル列に対応してそれぞれ設けられる複数のダミーメモリセルDMCを有する。ダミーメモリセルDMCは、ダミーリードワード線DRWL1およびDRWL2のいずれか一方と結合されて、2行×複数列に配置される。ダミーリードワード線DRWL1と結合されるダミーメモリセルは、ビット線BL1、BL3、…（すなわち各ビット線対における一方のビット線BL）とそれぞれ結合される。一方、ダミーリードワード線DRWL2と結合される残りのダミーメモリセルは、ビット線BL2、BL4、…（すなわち各ビット線対における他方のビット線/BL）とそれぞれ結合される。

【0180】ダミーリードワード線DRWL1およびDRWL2は、各ビット線対の一方BLおよび他方/BLのうち、選択されたメモリセル行に対応して、メモリセルMCと非接続となった一方をダミーメモリセルDMCとそれぞれ結合するように選択的に活性化される。たとえば、行選択結果に応じて、奇数番目のメモリセル行が選択された場合には、各ビット線対においてビット線/BLとメモリセルMCとを接続するために、ダミーリードワード線DRWL2が選択状態に活性化される。反対に、偶数番目のメモリセル行が選択された場合には、ダミーリードワード線DRWL1が選択状態に活性化される。

【0181】この結果、各ビット線対を構成するビット線BLおよび/BLは、選択されたメモリセル行に対応するメモリセルおよびダミーメモリセルDMCとの一方ずつとそれぞれ結合される。



【0182】データ読出時においても、一例として第3番目のメモリセル列が選択された場合について説明する。

【0183】データ読出動作に先立って、ビット線プリチャージ信号BLPRが一定期間Hレベルに活性化され、各ビット線は電源電圧Vccにプリチャージされる。

【0184】プリチャージ後、列選択結果に応答してコラム選択線CSL2が選択状態(Hレベル)に活性化される。これに応答して、コラム選択ゲートCSG3および4がオンする。この結果、データI/O線対DI/OPを構成するデータ線IOおよび/I Oは、データ書込時と同様にビット線BL3およびBL4(/BL3)とそれぞれ結合される。

【0185】データ読出回路50rは、電流切換回路53aを介して、データ線IOおよび/I Oに、同一方向のセンス電流Isを供給する。データ読出時においては、イコライズトランジスタ62-2はターンオフされているので、データ読出回路50rから供給されるセンス電流Isは、ビット線BL3およびBL4(/BL3)上を、同一方向に流れる。

【0186】行選択結果に応じてリードワード線RWLが選択状態(Hレベル)に活性化されて、対応するメモリセルがビット線BL3およびBL4(/BL3)の一方と結合される。また、ダミーリードワード線DRWL1およびDRWL2の一方が活性化されて、メモリセルと非接続である、ビット線BL3およびBL4(/BL3)の他方は、ダミーメモリセルDMCと結合される。

【0187】既に説明したように、メモリセルMCの抵抗値は、記憶データのレベルによって変化する。ここで、Hレベルデータを記憶した場合におけるメモリセルMCの抵抗値をRhとし、Lレベルデータを記憶した場合におけるメモリセルMCの抵抗値をRlとすると、ダミーメモリセルDMCの抵抗値Rmは、RlとRhの中間値に設定される。

【0188】したがって、センス電流Isによって、ダミーメモリセルに結合されたビット線の一方に生じる電圧変化と、メモリセルMCと結合されたビット線の他方に生じる電圧変化とをデータ読出回路50rで比較することにより、データ読出の対象となった記憶データのレベルを検知することができる。

【0189】ビット線BL3およびBL4(/BL3)の間に生じた電圧差は、データI/O線対DI/OPを介して、データ読出回路50r中のノードNs1およびNs2に伝達される。増幅器165によって、ノードNs1およびNs2の電圧差は増幅されて、読出データDOU Tが出力される。

【0190】したがって、ビット線BL3(BL)と結合されるメモリセルにLレベルデータが記憶されている場合、およびビット線BL4(/BL)と結合されるメ

モリセルMCにHレベルデータが記憶されている場合において、読出データDOU TにLレベルが出力される。反対に、ビット線BL3(BL)と結合されるメモリセルにHレベルデータが記憶されている場合、およびビット線BL4(/BL)と結合されるメモリセルMCにLレベルデータが記憶されている場合において、読出データDOU TにHレベルが出力される。

【0191】このように、折返し型ビット線構成に基づいてデータ読出およびデータ書込を実行できる。この結果、データ読出およびデータ書込の動作マージンを確保することができる。

【0192】また、データ書込電流をイコライズトランジスタ62によって折返して、ビット線対を構成するビット線BLおよび/B Lに流すので、極性の異なる電圧(負電圧)を用いることなくデータ書込を行なえる。さらに、データ書込電流の方向は、データ線IOおよび/I Oの電圧を電源電圧Vccおよび接地電圧Vssのいずれか一方ずつに設定するのみで切換えられる。したがって、データ書込回路50wの回路構成を簡易にすることができる。読出/書込制御回路60も同様に、電流をシンクする手段を具備することなく、イコライズトランジスタ62-1~62-mのみで簡易に形成することができる。

【0193】さらに、折返されて供給される相補のデータ書込電流のそれぞれに起因して生じる磁界ノイズは互いに打ち消し合う方向に発生するので、データ書込ノイズの低減を図ることができる。

【0194】〔実施の形態2の変形例1〕実施の形態2の変形例1においては、実施の形態2に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるライトワード線WWLの共有が図られる。

【0195】図15は、実施の形態2の変形例1に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0196】図15を参照して、実施の形態2の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。

【0197】リードワード線RWLが活性化されるデータ読出時においては、各ビット線に対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにビット線対を形成して、折返し型ビット線構成に基づく、実施の形態2の場合と同様のデータ読出を実行できる。

【0198】一方、異なる行に属するメモリセル間で共有されるライトワード線WWLが活性化されるデータ書込時においては、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、データ読出時とデータ書込時におけるコラム選択を独立に行なう必要がある。

【0199】実施の形態2の変形例1においては、コラム選択ゲートは、リードコラム選択ゲートRCGとライトコラム選択ゲートWCGとに分割して配置される。同様に、コラム選択線は、リードコラム選択線RCSLとライトコラム選択線WCSLとに分割して配置される。

【0200】リードコラム選択線RCSLおよびリードコラム選択ゲートRCGは、図13におけるコラム選択線CSLおよびコラム選択ゲートCSGと同様に配置され、各ビット線対に対応するメモリセル列の組ごとに制御される。したがって、実施の形態2に従う構成と同様に、データ読出の動作マージンを確保することができる。

【0201】一方、ライトコラム選択線WCSLおよびライトコラム選択ゲートWCGは、メモリセル列にそれぞれ対応して配置され、各メモリセル列に対応して独立に制御される。

【0202】奇数番目のメモリセル列に対応して設けられるライトコラム選択ゲートWCG1、WCG3、…は、列選択結果に応じて、対応するビット線BL1、BL3、…とデータ線IOとを電気的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられるライトコラム選択ゲートWCG2、WCG4、…は、列選択結果に応じて、対応するビット線BL2、BL4、…とデータ線IOとを電気的に結合するために配置される。

【0203】読出／書込制御回路60は、メモリセル列に対応してそれぞれ配置される書込電流制御トランジスタを含む。書込電流制御トランジスタは、対応するライトコラム選択線の活性化にตอบสนองしてオンする。図11においては、第1番目から第4番目のメモリセル列、すなわちビット線BL1～BL4に対応してそれぞれ設けられる書込電流制御トランジスタ63-1～63-4が代表的に示される。以下においては、これらの複数の書込電流制御トランジスタを総称する場合には、符号63を用いることとする。一方、プリチャージトランジスタ64の配置は、図13の場合と同様である。

【0204】奇数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-1、63-3、…は、列選択結果に応じて、対応するビット線BL1、BL3、…とデータ線IOとを電気的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-2、63-4、…は、列選択結果に応じて、対応するビット線BL2、BL4、…とデータ線IOとを電気的に結合するために配置される。

【0205】したがって、選択されたメモリセル列において、データ線IO（/IO）～ライトコラム選択ゲートWCSG～ビット線BL～書込電流制御トランジスタ63～データ線IO（IO）の経路に、データ書込電流±Iwを流すことができる。なお、データ書込電流±

Iwの方向は、実施の形態2と同様にデータ線IO、/IOの電圧を設定することによって制御できる。したがって、実施の形態2と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出／書込制御回路60の構成を簡易にすることができる。

【0206】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和することができる。この結果、実施の形態1の変形例2の場合と同様に、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減および、ライトワード線WWLのエレクトロマイグレーション耐性向上によるMRAMデバイスの信頼性向上を図ることができる。

【0207】【実施の形態2の変形例2】実施の形態2の変形例2においては、実施の形態2に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

【0208】図16は、実施の形態2の変形例2に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0209】図16を参照して、実施の形態2の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

【0210】読出／書込制御回路60は、実施の形態2と同様に配置されるイコライズトランジスタ62およびプリチャージトランジスタ64を有する。

【0211】ライトワード線WWLが活性化されるデータ書込時においては、各ビット線に対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態2の場合と同様のデータ書込を実行できる。したがって、実施の形態2と同様にデータ書込の動作マージンを確保できる。また、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出／書込制御回路60の構成を簡易にするとともに、データ書込時のノイズを低減することができる。

【0212】一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。しかし、データ読出時においては、選択されたメモリセル列に対応するデータ線IOおよび/IOのいずれか一方にセンス電流を流すことが必要であるが、データ線IOおよび/IOの他方については、フローティング状態としても、データ読出動作に悪影響を与えることはない。したがって、コラム選択線およびコラム選択ゲートの配置は、図13の場合と同様とすることができる。

【0213】すなわち、データ読出時においては、デー



データ線IOおよび/IOのそれぞれは独立したデータ線IO1およびIO2として動作し、列選択結果に応じて、いずれか一方にセンス電流が供給される。

【0214】一方、データ書込時においては、データ線IOおよび/IOは、図13の場合と同様にデータI/O線対DI/OPを形成して、相補のデータ書込電流の供給線として働く。

【0215】なお、図15に示される実施の形態2の変形例1の場合と同様に、コラム選択ゲートおよびコラム選択線をリード/ライトで独立に配置する構成としてもよい。この場合には、図15の構成において、リードコラム選択ゲートRCGとライトコラム選択ゲートWCGの配置、およびリードコラム選択線RCSLとライトコラム選択線WCSLとの配置をそれぞれ入れ替ればよい。

【0216】実施の形態2の変形例2に従う構成においては、電流切換回路53aおよびデータ読出回路50rに代えて、電流切換回路53bおよびデータ読出回路51rがそれぞれ配置される。

【0217】図17は、データ読出回路51rの構成を示す回路図である。図17を参照して、データ読出回路51rは、図14に示したデータ読出回路50rと比較して、ノードNr1に対してのみセンス電流Isを供給する点で異なる。これに対応して、図14に示されたトランジスタ164は省略され、参照電圧Vrefは、トランジスタ163のゲートのみに入力される。

【0218】データ読出回路51rは、センス電流Isによって生じる電圧降下を、基準となる電圧降下 $\Delta V_r$ と比較して読出データDOUのデータレベルを検知する。 $\Delta V_r$ は、Hレベルデータを読出した場合におけるデータ線の電圧降下を $\Delta V_h$ とし、Lレベルデータを読出した場合におけるデータ線の電圧降下を $\Delta V_l$ とすると、 $\Delta V_h$ と $\Delta V_l$ との中間値となるように設定される。

【0219】したがって、データ読出回路51rにおいては、ノードNs2の電圧レベルが $(V_{cc} - \Delta V_r)$ となるように抵抗167の抵抗値は設定される。

【0220】再び図16を参照して、電流切換回路53bは、制御信号RRSに応じて、データ読出回路50rの出力ノードNr1と、データ線IO1 (IO) およびIO2 (/IO) との間の接続を制御する。データ読出時において、列選択結果に応じて、データ読出回路50rの出力ノードNr1とデータ線IO1 (IO) およびIO2 (/IO) の一方とを接続する。

【0221】具体的には、奇数番目のメモリセル列が選択される場合には、データ線IO1 (IO) にセンス電流Isを供給するために、電流切換回路53bは、ノードNr1とデータ線IO1 (IO) とを接続する。データ線IO2 (/IO) は、プリチャージ電圧のままフローティング状態とされる。

【0222】反対に、偶数番目のメモリセル列が選択さ

れる場合には、電流切換回路53bは、データ線IO2 (/IO) にセンス電流Isを供給するために、ノードNr1とデータ線IO2 (/IO) とを接続する。一方、データ線IO1 (IO) は、プリチャージ電圧のままフローティング状態とされる。

【0223】一方、データ書込回路50wによってデータ書込電流がデータ線IO、/IOに流されるデータ書込時においては、電流切換回路53bは、出力ノードNr1をデータ線IOおよび/IOのいずれとも接続しない。

【0224】このような構成とすることにより、データ読出時において、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和してデータ読出を正常に実行できる。さらに、折返し型ビット線構成に基づくデータ書込を実行するとともに、実施の形態1の変形例3の場合と同様に、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0225】〔実施の形態3〕実施の形態3以降においては、他の構成を有するメモリセルの配置における、信号線の共有について説明する。

【0226】図18は、実施の形態3に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0227】図18を参照して、実施の形態3に従うメモリセルは、直列に結合された磁気トンネル接合部MTJおよびアクセストラジスタATRを含む。アクセストラジスタATRは、磁気トンネル接合部MTJとビット線BLとの間に電氣的に結合される。アクセストラジスタATRのゲートはリードワード線RWLと結合される。

【0228】磁気トンネル接合部MTJは、接地電圧Vssを供給する基準電圧配線SLとアクセストラジスタATRとの間に電氣的に結合される。したがって、ビット線BLは、直接磁気トンネル接合部MTJと結合されず、アクセストラジスタATRを介して接続される。

【0229】実施の形態3に従うメモリセルは、実施の形態1に従うメモリセルと比較して、基準電圧配線SLとビット線BLとを入替えて配置したものに対応する。したがって、配置される信号線の種類は実施の形態1の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態1と同様であるので詳細な説明は繰り返さない。

【0230】図19は、実施の形態3に従うメモリセルの配置を説明する構造図である。図19を参照して、アクセストラジスタATRは、半導体主基板SUB上のp型領域PARに形成される。ビット線BLは、第1の金属配線層M1に形成されて、アクセストラジスタATRの一方のソース/ドレイン領域110と電氣的に結

合される。

【0231】他方のソース/ドレイン領域120は、第1の金属配線層M1および第2の金属配線層M2に設けられた金属配線、コンタクトホールに形成された金属膜150およびバリア金属140を経由して、磁気トンネル接合部MTJと結合される。ライトワード線WWLは、磁気トンネル接合部と近接して第2の金属配線層M2に設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0232】基準配線SLは、独立した金属配線層である第3の金属配線層M3に配置される。基準配線SLは、半導体基板上のいずれかのノードにおいて、接地電圧Vssを供給するノードと結合される。

【0233】このように、実施の形態3に従うメモリセルにおいては、磁気トンネル接合部MTJとビット線BLとは直接的に結合されず、アクセストランジスタATRを介して結合される。これにより、各ビット線BLは、対応するメモリセル列に属する多数の磁気トンネル接合部MTJと直接結合されず、データ読出の対象となる、すなわち対応するリードワード線RWLが選択状態(Hレベル)に活性化されたメモリセル行に属するメモリセルとのみ電気的に結合される。したがって、ビット線BLの容量を抑制することができ、特にデータ読出時の動作を高速化できる。

【0234】図20は、実施の形態3に従うメモリアレイ10の構成を示すブロック図である。

【0235】図20を参照して、メモリアレイ10においては、図18に示される構成を有するメモリセルMCが行列状に配置される。さらに、図5に示される実施の形態1に従う構成と同様に、行方向に隣接するメモリセルは、同一の基準電圧配線SLを共有する。

【0236】リードワード線RWL、ライトワード線WWL、ビット線BLの配置および、ワード線電流制御回路40の構成については、図5と同様であるので説明は繰り返さない。

【0237】このように、実施の形態3に従うメモリセルの配置においても、基準電圧配線SLを複数のメモリセル列間で共有することができる。これにより、メモリアレイ10全体に配置される配線数を削減することができる。この結果、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0238】【実施の形態3の変形例1】図21は、実施の形態3の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0239】図21を参照して、実施の形態3の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、図6の場合と同様に同一のビット線BLを共有する。一方、基準電圧配線SLは、各メモリセルごとに配置される。

【0240】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態3と同様であるので、詳細な説明は繰り返さない。

【0241】このような構成とすることにより、データ読出の高速化を図ることが可能な実施の形態3に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0242】また、実施の形態3に従うメモリセルの構成においては、ビット線BLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ビット線BLにより大きなデータ書込電流を流す必要が生じる。したがって、ビット線BLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

【0243】すなわち、実施の形態3に従うメモリセルの配置においては、ビット線BLの配線幅(断面積)を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ビット線BLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ビット線BLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0244】【実施の形態3の変形例2】図22は、実施の形態3の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0245】図22を参照して、実施の形態3の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図7の場合と同様に同一のライトワード線WWLを共有する。メモリセルMCは、図7の場合と同様の理由によって交互配置される。また、図22においては、基準電圧配線SLが各メモリセル列ごとに配置される構成を示しているが、図20の構成と同様に、行方向に隣接するメモリセル間で基準電圧配線SLを共有する構成としてもよい。

【0246】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態3と同様であるので、詳細な説明は繰り返さない。

【0247】このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0248】【実施の形態3の変形例3】図23は、実施の形態3の変形例3に従うメモリアレイ10の構成を

示すブロック図である。

【0249】図23を参照して、実施の形態3の変形例3に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図9の場合と同様に同一のリードワード線RWLを共有する。また、メモリセルMCは、図9の場合と同様の理由によって交互配置される。図23においては、基準電圧配線SLが各メモリセル列ごとに配置される構成を示しているが、図20の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線SLを共有する構成としてもよい。

【0250】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態3と同様であるので、詳細な説明は繰り返さない。

【0251】このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0252】【実施の形態3の変形例4】図24は、実施の形態3の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【0253】図24を参照して、実施の形態3の変形例4に従うメモリアレイ10においては、実施の形態3の変形例2と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

【0254】メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、図24においては、基準電圧配線SLが各メモリセル列ごとに配置される構成を示しているが、図20の構成と同様に、列方向に隣接するメモリセルによって、1本の基準電圧配線SLを共有する構成としてもよい。

【0255】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態3と同様であるので、詳細な説明は繰り返さない。

【0256】このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態3の変形例2および3の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0257】【実施の形態3の変形例5】図25は、実施の形態3の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0258】図25を参照して、実施の形態3の変形例5に従うメモリアレイ10および周辺回路の構成は、図11に示される実施の形態1の変形例5に従う構成と類似する。

【0259】実施の形態3に従うメモリセルにおいては、データ読出時において、アクセストランジスタATRと結合された共通配線SBLをビット線BLとして機能させ、磁気トンネル接合部MTJと結合された基準電圧配線SLとして機能させることが必要である。これは、実施の形態1の変形例5における共通配線SBLの機能の設定とは逆である。

【0260】すなわち、実施の形態1の変形例5の場合と比較して、行選択結果に対応した共通配線制御トランジスタCCTのオン/オフを入れ替える必要がある。したがって、実施の形態3の変形例5においては、奇数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT1、CCT3、…のゲートには、制御信号/RA1が入力される。偶数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT2、CCT4、…のゲートには、制御信号RA1が入力される。制御信号RA1および/RA1の設定は、実施の形態1の変形例5と同様である。

【0261】共通配線制御トランジスタCCTの制御以外については、実施の形態1の変形例5と同様であるので、詳細な説明は繰り返さない。

【0262】このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、基準電圧配線SLおよびビット線BLの機能を統合した共通配線SBLを用いて、実施の形態1と同様のデータ読出およびデータ書込を行なうことができる。

【0263】この結果、列方向の配線ピッチを緩和してメモリセルMCを効率的に配することにより、メモリアレイ10を高集積化することができる。さらに、データ書込時に大きなデータ書込電流が流れる共通配線SBLの配線幅、すなわち断面積を確保して、共通配線SBLのエレクトロマイグレーション耐性を向上させて、MRAMデバイスの信頼性を向上させることができる。

【0264】また図25においては、さらに、実施の形態3の変形例2と同様に、列方向に隣接するメモリセルは、1本のライトワード線WWLを共有する。

【0265】したがって、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0266】なお、この変形例で示した、共通配線SBLによる基準電圧配線SLおよびビット線BLの統合は、この他に、実施の形態3の変形例3および4でそれ

ぞれ説明した、隣接メモリセル行間におけるリードワード線RWLの共有および、隣接メモリセル行間におけるリードワード線RWLとライトワード線WWLとの双方の共有のいずれかと組合せて適用することも可能である。

【0267】【実施の形態3の変形例6】図26は、実施の形態3の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0268】図26を参照して、行列状に配置された実施の形態3に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

【0269】図26においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図13の構成と異なる。

【0270】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

【0271】したがって、実施の形態3に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、周辺回路の簡単化およびデータ書込ノイズ低減を図ることができる。

【0272】【実施の形態3の変形例7】実施の形態3の変形例7においては、実施の形態3の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0273】図27は、実施の形態3の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0274】図27においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図15の構成と異なる。

【0275】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

【0276】したがって、実施の形態3に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0277】【実施の形態3の変形例8】実施の形態3の変形例8においては、実施の形態3の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

【0278】図28は、実施の形態3の変形例8に従う

メモリアレイ10および周辺回路の構成を示すブロック図である。

【0279】図28においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図16の構成と異なる。

【0280】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。

【0281】したがって、実施の形態3に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0282】【実施の形態4】図29は、実施の形態4に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0283】図29を参照して、実施の形態4に従うメモリセルに対しては、メモリセルに対して、リードワード線RWL、ライトワード線WWL、ビット線BLおよび基準電圧配線SLが設けられる。

【0284】アクセストランジスタATRは、磁気トンネル接合部MTJと接地電圧Vssを供給する基準電圧配線SLとの間に電氣的に結合される。アクセストランジスタATRのゲートは、リードワード線RWLと結合される。磁気トンネル接合部MTJは、ビット線BLと結合される。

【0285】リードワード線RWLは、メモリセルの行方向に沿って配置される。ライトワード線WWLは、リードワード線RWLと平行に、磁気トンネル接合部MTJと近接して設けられる。基準電圧配線SLは、ライトワード線WWLおよびリードワード線RWLと平行に配置される。

【0286】実施の形態4に従うメモリセルは、実施の形態1に従うメモリセルと比較すると、基準電圧配線SLが行方向に沿って、すなわちリードワード線RWLおよびライトワード線WWLと平行に配置される点のみ異なる。したがって、配置される信号線の種類は実施の形態1の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態1と同様であるので詳細な説明は繰り返さない。

【0287】図30は、実施の形態4に従うメモリセルの配置を説明する構造図である。図30を参照して、アクセストランジスタATRは、半導体基板SUB上のp型領域PARに形成される。基準電圧配線SLは、第1の金属配線層M1に形成されて、アクセストランジスタATRの一方のソース/ドレイン領域110と電氣的に結合される。基準電圧配線SLは、半導体基板上のいずれかのノードにおいて、接地電圧Vssを供給するノ

ードと結合される。

【0288】他方のソース／ドレイン領域120は、第1の金属配線層M1および第2の金属配線層M2に設けられた金属配線、コンタクトホールに形成された金属膜150およびバリアメタル140を経由して、磁気トンネル接合部MTJと結合される。ライトワード線WWLは、磁気トンネル接合部と近接して第2の金属配線層M2に設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0289】ビット線BLは、独立した金属配線層である第3の金属配線層M3に配置され、磁気トンネル接合部MTJと電気的に結合される。

【0290】図31は、実施の形態4に従うメモリアレイ10の構成を示すブロック図である。

【0291】図31を参照して、メモリアレイ10においては、図29に示される構成を有するメモリセルMCが行列状に配置される。列方向に隣接するメモリセルは、同一の基準電圧配線SLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本の基準電圧配線SL1を共有する。他のメモリセル列に対しても、基準電圧配線SLは、同様に配置される。基準電圧配線SLは、基本的には一定電圧（本実施の形態においては、接地電圧 $V_{ss}$ ）を供給するので、特別な電圧制御等を行なうことなく、このように共有することができる。

【0292】リードワード線RWL、ライトワード線WWL、ビット線BLの配置および、ワード線電流制御回路40の構成については、図5と同様であるので説明は繰り返さない。

【0293】このように、基準電圧配線SLを行方向に沿って配置する実施の形態4に従うメモリセルの配置においても、基準電圧配線SLを隣接するメモリセル間で共有することができる。これにより、メモリアレイ10全体に配置される配線数を削減してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0294】【実施の形態4の変形例1】図32は、実施の形態4の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0295】図32を参照して、実施の形態4の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線BLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のビット線BL1を共有する。一方、基準電圧配線SLは、各メモリセル列ごとに配置される。

【0296】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

【0297】このような構成とすることにより、実施の形態4に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0298】【実施の形態4の変形例2】図33は、実施の形態4の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0299】図33を参照して、実施の形態4の変形例2に従うメモリアレイ10においては、基準電圧配線SLおよびビット線BLの双方が共有される。基準電圧配線SLは、図31と同様に、列方向に隣接するメモリセルによって共有され、ビット線BLは、図32と同様に、行方向に隣接するメモリセルによって共有される。

【0300】このような構成とすることにより、行方向および列方向に沿ってそれぞれ配置される配線の両方を削減してメモリアレイ10をさらに高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0301】【実施の形態4の変形例3】図34は、実施の形態4の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0302】図34を参照して、実施の形態4の変形例3に従うメモリアレイ10においては、基準電圧配線SLおよびビット線BLが共有される図33の構成に加えて、列方向に隣接するメモリセルによって、同一のライトワード線WWLがさらに共有される。メモリセルMCは、図7の場合と同様の理由によって交互配置される。

【0303】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

【0304】このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0305】また、実施の形態4に従うメモリセルの構成においては、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離がより大きくなるので、実施の形態1に従うメモリセルの場合と同様に、ライトワード線WWLに大きなデータ書込電流を流す必要が生じる。

【0306】したがって、ライトワード線WWLの配線ピッチの緩和によって断面積を確保することによってライトワード線WWLの電流密度を軽減すれば、エレクトロマイグレーション耐性を向上させてMRAMデバイスの信頼性向上を図ることができる。また、材質面においても、ライトワード線WWLをビット線BLよりもエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0307】【実施の形態4の変形例4】図35は、実施の形態4の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【0308】図35を参照して、実施の形態4の変形例4に従うメモリアレイ10においては、基準電圧配線SLおよびビット線BLが共有される図33の構成に加えて、列方向に隣接するメモリセルによって、同一のリードワード線RWLが共有される。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群によって、同一のリードワード線RWL1が共有される。メモリセルMCは、図9の場合と同様の理由によって交互配置される。

【0309】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

【0310】このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0311】【実施の形態4の変形例5】図36は、実施の形態4の変形例5に従うメモリアレイ10の構成を示すブロック図である。

【0312】図36を参照して、実施の形態4の変形例5に従うメモリアレイ10においては、実施の形態4の変形例3と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。また、行方向に隣接するメモリセルは、同一のビット線BLを共有する。

【0313】実施の形態4の変形例5においては、さらに、リードワード線RWLが、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、ライトワード線WWLおよびリードワード線RWLは、同様に配置される。

【0314】メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、基準電圧配線SLは、ライトワード線WWLと同様に、列方向に隣接するメモリセルによって共有される。

【0315】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

【0316】このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態4の変形例3および4の場合よりも、メモリアレイ1

0をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0317】【実施の形態4の変形例6】図37は、実施の形態4の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0318】図37を参照して、行列状に配置された実施の形態4に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

【0319】図37においては、基準電圧配線SLが行方向に配置される点が、図13の構成と異なる。

【0320】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

【0321】したがって、実施の形態4に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の構成を簡易化するとともに、データ書込ノイズを低減できる。

【0322】【実施の形態4の変形例7】実施の形態4の変形例7においては、実施の形態4の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0323】図38は、実施の形態4の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0324】図38においては、基準電圧配線SLが行方向に配置される点が、図15の構成と異なる。

【0325】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

【0326】したがって、実施の形態4に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0327】【実施の形態4の変形例8】実施の形態4の変形例8においては、実施の形態4の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

【0328】図39は、実施の形態4の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0329】図39においては、各メモリセルMCにおいて、基準電圧配線SLが行方向に配置される点が図16の構成と異なる。

【0330】その他の部分の構成と、データ読出および



データ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。

【0331】したがって、実施の形態4に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0332】【実施の形態5】図40は、実施の形態5に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0333】図40を参照して、実施の形態5に従うメモリセルは、直列に結合された磁気トンネル接合部MTJおよびアクセストランジスタATRを含む。アクセストランジスタATRは、磁気トンネル接合部MTJとビット線BLとの間に電氣的に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。基準電圧配線SLは、実施の形態4と同様に、行方向に沿って配置される。

【0334】磁気トンネル接合部MTJは、接地電圧V<sub>ss</sub>を供給する基準電圧配線SLとアクセストランジスタATRとの間に電氣的に結合される。したがって、ビット線BLは、直接磁気トンネル接合部MTJと結合されず、アクセストランジスタATRを介して接続される。

【0335】実施の形態5に従うメモリセルは、実施の形態4に従うメモリセルと比較して、基準電圧配線SLおよびビット線BLと、磁気トンネル接合部MTJおよびアクセストランジスタATRの接続関係を入替えて配置したものに相当する。したがって、配置される信号線の種類は実施の形態1の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態1と同様であるので詳細な説明は繰り返さない。

【0336】図41は、実施の形態5に従うメモリセルの配置を説明する構造図である。図41を参照して、アクセストランジスタATRは、半導体主基板SUB上のp型領域PARに形成される。ビット線BLは、第1の金属配線層M1に形成されて、アクセストランジスタATRの一方のソース/ドレイン領域110と電氣的に結合される。

【0337】他方のソース/ドレイン領域120は、第1の金属配線層M1および第2の金属配線層M2に設けられた金属配線、コンタクトホールに形成された金属膜150およびバリアメタル140を経由して、磁気トンネル接合部MTJと結合される。ライトワード線WWLは、磁気トンネル接合部と近接して第2の金属配線層M2に設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0338】基準配線SLは、独立した金属配線層である第3の金属配線層M3に配置される。基準配線SLは、半導体基板上のいずれかのノードにおいて、接地電圧V<sub>ss</sub>を供給するノードと結合される。

【0339】このように、実施の形態5に従うメモリセルにおいては、磁気トンネル接合部MTJとビット線BLとは直接的に結合されず、アクセストランジスタATRを介して結合される。これにより、各ビット線BLは、対応するメモリセル列に属する多数の磁気トンネル接合部MTJと直接結合されず、データ読出の対象となる、すなわち対応するリードワード線RWLが選択状態(Hレベル)に活性化されたメモリセル行に属するメモリセルとのみ電氣的に結合される。したがって、ビット線BLの容量を抑制することができ、特にデータ読出時の動作を高速化できる。

【0340】図42は、実施の形態5に従うメモリアレイ10の構成を示すブロック図である。

【0341】図42を参照して、メモリアレイ10においては、図40に示される構成を有するメモリセルMCが行列状に配置される。さらに、図31に示される実施の形態4に従う構成と同様に、列方向に隣接するメモリセルは、同一の基準電圧配線SLを共有する。

【0342】リードワード線RWL、ライトワード線WWL、ビット線BLの配置および、ワード線電流制御回路40の構成については、図31と同様であるので説明は繰り返さない。

【0343】このように、実施の形態5に従うメモリセルの配置においても、基準電圧配線SLを列方向に隣接するメモリセル間で共有することができる。これにより、メモリアレイ10全体に配置される配線数を削減することができる。この結果、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0344】【実施の形態5の変形例1】図43は、実施の形態5の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0345】図43を参照して、実施の形態5の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、図32の場合と同様に同一のビット線BLを共有する。一方、基準電圧配線SLは、各メモリセルごとに配置される。

【0346】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0347】このような構成とすることにより、データ読出の高速化を図ることが可能な実施の形態5に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削

減することができる。

【0348】また、実施の形態5に従うメモリセルの構成においては、実施の形態3の場合と同様に、ビット線BLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ビット線BLにより大きなデータ書込電流を流す必要が生じる。したがって、ビット線BLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

【0349】すなわち、実施の形態5に従うメモリセルの配置においては、ビット線BLの配線幅（断面積）を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ビット線BLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ビット線BLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0350】【実施の形態5の変形例2】図44は、実施の形態5の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0351】図44を参照して、実施の形態5の変形例2に従うメモリアレイ10においては、図33の場合と同様に、基準電圧配線SLおよびビット線BLの双方が共有される。基準電圧配線SLは、図42と同様に、列方向に隣接するメモリセルによって共有され、ビット線BLは、図43と同様に、行方向に隣接するメモリセルによって共有される。

【0352】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0353】このような構成とすることにより、行方向および列方向に沿ってそれぞれ配置される配線の両方を削減してメモリアレイ10をさらに高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0354】【実施の形態5の変形例3】図45は、実施の形態5の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0355】図45を参照して、実施の形態5の変形例3に従うメモリアレイ10においては、基準電圧配線SLおよびビット線BLが共有される図44の構成に加えて、列方向に隣接するメモリセルによって、同一のライトワード線WWLがさらに共有される。メモリセルMCは、図7の場合と同様の理由によって交互配置される。

【0356】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0357】このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレ

イ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0358】【実施の形態5の変形例4】図46は、実施の形態5の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【0359】図46を参照して、実施の形態5の変形例4に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。また、メモリセルMCは、図9の場合と同様の理由によって交互配置される。

【0360】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0361】このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0362】【実施の形態5の変形例5】図47は、実施の形態5の変形例5に従うメモリアレイ10の構成を示すブロック図である。

【0363】図47を参照して、実施の形態5の変形例5に従うメモリアレイ10においては、実施の形態5の変形例3と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、基準電圧配線SLは、ライトワード線WWLと同様に、列方向に隣接するメモリセルによって共有される。

【0364】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0365】このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態5の変形例3および4の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0366】【実施の形態5の変形例6】図48は、実施の形態5の変形例6に従うメモリアレイ10および周



辺回路の構成を示すブロック図である。

【0367】図48を参照して、行列状に配置された実施の形態5に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

【0368】図48においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図13の構成と異なる。

【0369】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

【0370】したがって、実施の形態5に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の構成を単純化するとともに、データ書込ノイズを低減

【0371】〔実施の形態5の変形例7〕実施の形態5の変形例7においては、実施の形態5の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0372】図49は、実施の形態5の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0373】図49においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図15の構成と異なる。

【0374】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

【0375】したがって、実施の形態5に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0376】〔実施の形態5の変形例8〕実施の形態5の変形例8においては、実施の形態5の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

【0377】図50は、実施の形態5の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0378】図50においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接

合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図16の構成と異なる。

【0379】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。

【0380】したがって、実施の形態5に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0381】〔実施の形態6〕図51は、実施の形態6に従うMTJメモリセルと信号配線との間の接続関係を示す回路図である。

【0382】図51を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとライトワード線WWLとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRとビット線BLとの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。

【0383】ライトワード線WWLは、データ読出時において、接地電圧Vssに設定される。これにより、データ読出時においてリードワード線RWLが選択状態(Hレベル)に活性化されると、アクセストランジスタATRがターンオンして、ビット線BL～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトワード線WWLの経路にセンス電流Isを流すことができる。

【0384】一方、データ書込時においては、アクセストランジスタATRをターンオフして、ビット線BLおよびライトワード線WWLにデータ書込電流を流すことによって磁気トンネル接合部MTJに書込まれる記憶データのレベルに対応した磁界を発生させることができる。

【0385】図52は、実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

【0386】図52を参照して、ライトワード線WWLおよびビット線BLは第1の金属配線層M1および第2の金属配線層M2にそれぞれ配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0387】ライトワード線WWLを、データ読出時において接地電圧Vssに設定することによって、基準電圧配線SLを設けることなく2層の金属配線層M1およびM2によって、MTJメモリセルを配置することができる。この結果、金属配線層の数を削減して製造コストを低減できる。

【0388】次に、実施の形態2に従うMTJメモリセルに対するデータ読出およびデータ書込動作を説明す

る。

【0389】再び図3を参照して、データ読出時においては、ライトワード線WWLは非選択状態（Lレベル）に維持される。ワード線電流制御回路40によって、各ライトワード線WWLは接地電圧 $V_{ss}$ と結合されるので、データ読出時におけるライトワード線WWLの電圧は、基準電圧配線SLの電圧レベルと同一の接地電圧 $V_{ss}$ である。一方、データ書込時において、基準電圧配線SLには電流が流れないため、MTJメモリセルに対して磁界を発生させることもない。

【0390】したがって、基準電圧配線SLを省略しても、ライトワード線WWL、リードワード線RWLおよびビット線BLの電圧と電流とを図3と同様に設定して、実施の形態6に従うMTJメモリセルに対してデータ読出およびデータ書込動作を実行することが可能である。

【0391】図53は、実施の形態6に従うメモリアレイ10の構成を示すブロック図である。

【0392】図53を参照して、実施の形態6に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線BLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のビット線BL1を共有する。リードワード線RWL、ライトワード線WWLおよびワード線電流制御回路40の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、図5と同様であるので説明は繰り返さない。

【0393】このような構成とすることにより、より少ない配線数によってデータ読出およびデータ書込を行なうことが可能な実施の形態6に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0394】【実施の形態6の変形例1】図54は、実施の形態6の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0395】図54を参照して、実施の形態6の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。したがって、メモリセルMCは、図7の場合と同様の理由によって交互配置される。

【0396】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

【0397】このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置し

てメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0398】また、実施の形態6に従うメモリセルの構成においては、実施の形態1の場合と同様に、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離が、ビット線BLと磁気トンネル接合部MTJとの間の距離よりも大きくなるので、ライトワード線WWLにより大きなデータ書込電流を流す必要が生じる。したがって、ライトワード線WWLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

【0399】すなわち、実施の形態6に従うメモリセルの配置においても、ライトワード線WWLの配線幅（断面積）を、磁気トンネル接合部との距離が小さいビット線BLよりも大きく確保することによって、ライトワード線WWLのエレクトロマイグレーション耐性を高め、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ライトワード線WWLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0400】【実施の形態6の変形例2】図55は、実施の形態6の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0401】図55を参照して、実施の形態6の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。したがって、メモリセルMCは、図9の場合と同様の理由によって交互配置される。その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

【0402】このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0403】【実施の形態6の変形例3】図56は、実施の形態6の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0404】図56を参照して、実施の形態6の変形例3に従うメモリアレイ10においては、実施の形態6の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

【0405】したがって、メモリセルMCは、図10の場合と同様の理由によって交互配置される。その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

【0406】このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態6の変形例1および2の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0407】〔実施の形態6の変形例4〕図57は、実施の形態6の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0408】図57を参照して、行列状に配置された実施の形態6に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を

用いて折返し型ビット線構成が実現される。

【0409】図57においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係とが図13の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

【0410】したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の回路構成を単純化するとともに、データ書込ノイズを低減できる。

【0411】〔実施の形態6の変形例5〕実施の形態6の変形例5においては、実施の形態6の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0412】図58は、実施の形態6の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0413】図58においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係とが図15の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるの

で、詳細な説明は繰り返さない。

【0414】したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0415】〔実施の形態6の変形例6〕実施の形態6の変形例6においては、実施の形態6の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

【0416】図59は、実施の形態6の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0417】図59においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係とが図16の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。

【0418】したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0419】〔実施の形態7〕図60は、実施の形態7に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0420】図60を参照して、ビット線BLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。磁気トンネル接合部MTJは、ライトワード線WWLおよびアクセストランジスタATRの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。リードワード線RWLとライトワード線WWLは平行に配置され、ビット線BLは、これらのワード線と交差する方向に配置される。

【0421】実施の形態7に従うメモリセルは、実施の形態6に従うメモリセルと比較して、ビット線BLおよびライトワード線WWLと磁気トンネル接合部MTJおよびアクセストランジスタATRとの間の接続関係を入れ替えて配置したものに相当する。したがって、配置される信号線の種類は実施の形態6の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態6と同様であるので詳細な説明は繰り返さない。

【0422】図61は、実施の形態7に従うメモリセルの配置を示す構造図である。図61を参照して、ビット

線BLおよびライトワード線WWLは、第1の金属配線層M1および第2の金属配線層M2にそれぞれ配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。磁気トンネル接合部MTJは、ライトワード線WWLと直接結合される。

【0423】このように実施の形態7に従うメモリセルの構成においても、基準配線SLを省略して、2つの金属配線層M1およびM2を用いてMTJメモリセルを配置できる。

【0424】また、ビット線BLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと結合される構成となっているので、各ビット線BLは、データ読出の対象となる、すなわち対応するリードワード線RWLが選択状態(Hレベル)に活性化されたメモリセル行に属するMTJメモリセルとのみ電気的に結合される。この結果、実施の形態3と同様に、ビット線BLの容量を抑制することができ、特にデータ読出時の動作を高速化できる。

【0425】図62は、実施の形態7に従うメモリアレイ10の構成を示すブロック図である。

【0426】図62を参照して、実施の形態7に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線BLを共有する。

【0427】リードワード線RWL、ライトワード線WWLおよびワード線電流制御回路40の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので説明は繰り返さない。

【0428】このような構成とすることにより、信号配線数の削減およびデータ読出の高速化を図ることが可能な実施の形態7に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0429】また、実施の形態7に従うメモリセルの構成においては、実施の形態3の場合と同様に、ビット線BLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ビット線BLにより大きなデータ書込電流を流す必要が生じる。したがって、ビット線BLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

【0430】すなわち、実施の形態7に従うメモリセルの配置においても、ビット線BLの配線幅(断面積)を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ライトワード線WWLのエレクトロマイグレーション耐性を高め

て、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ビット線BLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0431】【実施の形態7の変形例1】図63は、実施の形態7の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0432】図63を参照して、実施の形態7の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図54の場合と同様に同一のライトワード線WWLを共有する。したがって、メモリセルMCは、図7の場合と同様の理由によって交互配置される。

【0433】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

【0434】このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0435】【実施の形態7の変形例2】図64は、実施の形態7の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0436】図64を参照して、実施の形態7の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図55の場合と同様に同一のリードワード線RWLを共有する。メモリセルMCは、図9の場合と同様に交互配置される。

【0437】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

【0438】このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0439】【実施の形態7の変形例3】図65は、実施の形態7の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0440】図65を参照して、実施の形態7の変形例3に従うメモリアレイ10においては、実施の形態7の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様

に配置される。メモリセルMCは、図10の場合と同様に交互配置される。

【0441】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

【0442】このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態7の変形例1および2の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0443】【実施の形態7の変形例4】図66は、実施の形態7の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0444】図66を参照して、行列状に配置された実施の形態7に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

【0445】図66においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図57の構成と異なる。

【0446】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図57の場合と同様であるので、詳細な説明は繰り返さない。

【0447】したがって、実施の形態7に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の回路構成を簡単化するとともに、データ書込ノイズを低減できる。

【0448】【実施の形態7の変形例5】実施の形態7の変形例5においては、実施の形態7の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0449】図67は、実施の形態7の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0450】図67においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図58の構成と異なる。

【0451】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図58の場合と同様であるので、詳細な説明は繰り返さない。

【0452】したがって、実施の形態7に従うメモリセ

ルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0453】【実施の形態7の変形例6】実施の形態7の変形例6においては、実施の形態7の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

【0454】図68は、実施の形態7の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0455】図68においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図59の構成と異なる。

【0456】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図59の場合と同様であるので、詳細な説明は繰り返さない。

【0457】したがって、実施の形態7に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0458】【実施の形態8】図69は、実施の形態8に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0459】図69を参照して、実施の形態8においては、データ読出時にセンス電流 $I_s$ を供給するためのリードビット線RBLと、データ書込時にデータ書込電流 $\pm I_w$ を供給するためのライトビット線WBLとは独立に設けられる。

【0460】アクセストランジスタATRは、磁気トンネル接合部MTJとリードビット線RBLとの間に電気的に結合される。すなわち、リードビット線RBLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。

【0461】磁気トンネル接合部MTJは、アクセストランジスタATRおよびライトビット線WBLと結合される。リードワード線RWLおよびライトワード線WWLは、リードビット線RBLおよびライトビット線WBLと交差する方向に設けられる。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。

【0462】図70は、実施の形態8に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【0463】まずデータ書込時の動作について説明する。ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWL

の電圧を選択状態（Hレベル）に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態（Lレベル）のままである。ワード線電流制御回路40によって各ライトワード線WWLを接地電圧 $V_{ss}$ と結合することにより、選択行においてライトワード線WWLにデータ書込電流 $I_p$ を流すことができる。

【0464】また、ライトビット線WBLの電圧を、図3で説明したデータ書込時におけるビット線BLの電圧と同様に制御することによって、ライトビット線WBLに、書込まれる記憶データのデータレベルに応じたデータ書込電流 $I_w$ を流すことができる。これにより、MTJメモリセルに対するデータ書込を実行することができる。

【0465】リードワード線RWLは、データ書込時においては、非選択状態（Lレベル）のままに維持される。リードビット線RBLは、高電圧状態（Vcc）にプリチャージされる。アクセストランジスタATRがターンオフ状態を維持するので、データ書込時においては、リードビット線RBLには電流が流れない。

【0466】一方、データ読出時においては、ライトワード線WWLは非選択状態（Lレベル）に維持され、その電圧レベルはワード線電流制御回路40によって接地電圧 $V_{ss}$ に固定される。

【0467】ワード線ドライバ30は、行デコード20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態（Hレベル）に駆動する。非選択行においては、リードワード線RWLの電圧レベルは非選択状態（Lレベル）のままである。読出／書込制御回路50および60は、データ読出を実行するための一定量のセンス電流 $I_s$ をリードビット線RBLに供給するとともに、ライトビット線WBLの電圧を接地電圧 $V_{ss}$ に設定する。

【0468】リードビット線RBLは、データ読出前において高電圧状態（Vcc）にプリチャージされているので、リードワード線RWLの活性化にตอบสนองしたアクセストランジスタATRのターンオンによって、リードビット線RBL～アクセストランジスタATR～磁気トンネル接合部MTJ～ライトビット線WBL（接地電圧 $V_{ss}$ ）に、センス電流 $I_s$ の電流経路を形成することができる。これにより、記憶データに応じた電圧降下があり、リードビット線RBLに現われるので、図3に示したのと同様のデータ読出動作を実行することが可能となる。

【0469】図71は、実施の形態8に従うMTJメモリセルの配置を示す構造図である。図71を参照して、リードビット線RBLは第1の金属配線層M1に形成されて、アクセストランジスタATRのソース／ドレイン領域110と結合される。ライトワード線WWLは第2の金属配線層M2に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと結合されて第3の金属配線層M3に形成される。MTJメモリセルは、第1お

よび第2の金属配線層M1、M2、金属膜150およびバリアメタル140を介してアクセストランジスタATRのソース／ドレイン領域120と結合される。

【0470】リードビット線RBLは、磁気トンネル接合部MTJと直接結合されず、アクセストランジスタATRを介して、データ読出の対象となるMTJメモリセルの磁気トンネル接合部MTJのみと接続することができる。これにより、リードビット線RBLの容量を抑制して、データ読出時の動作を高速化できる。

【0471】ライトビット線WBLについては、磁気トンネル接合部MTJとの距離を小さくすることができるので、データ書込時における磁気カップリングを大きく設定して、データ書込時にライトビット線WBLを流れるデータ書込電流 $I_w$ の電流値を小さくすることができる。この結果、データ書込電流によって発生する磁気ノイズの減少やライトビット線の電流密度抑制によって、動作の信頼性を向上できる。

【0472】リードビット線RBLとライトビット線WBLとを分割して配置することにより、上記の効果を両立して享受できる。

【0473】図72は、実施の形態8に従うメモリアレイ10の構成を示すブロック図である。

【0474】図72を参照して、実施の形態8に従うメモリアレイ10においては、図69に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向に沿って配置され、リードビット線RBLおよびライトビット線WBLは、列方向に沿って配置される。

【0475】ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 $V_{ss}$ と結合する。これにより、データ読出時およびデータ書込時における、ライトワード線WWLの電圧および電流を図70に示されるように制御することができる。

【0476】行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。

【0477】たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のリードビット線RBL1を共有し、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトビット線WBL1を共有する。以降のメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

【0478】同一のリードビット線RBLもしくはライトビット線WBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0479】このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、



メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0480】次に、データ書込電流 $I_w$ およびセンス電流 $I_s$ を流すための周辺回路の構成について説明する。

【0481】コラム選択線は、メモリセル列ごと、すなわちビット線ごとに、データ読出用とデータ書込用とに独立して設けられる。図72においては、第1番目～第3番目のメモリセル列にそれぞれ対応する、リードコ  
10 ラム選択線RCSL1～RCSL3およびライトコラム選択線WCSL1～WCSL3が代表的に示される。以下においては、これらの複数のリードコラム選択線およびライトコラム選択線を総称する場合には、符号RCSLおよびWCSLをそれぞれ用いることとする。

【0482】列デコード25は、列選択結果に応じて、データ読出時においては複数のリードコラム選択線RCSLのうちの1本を選択状態(Hレベル)に活性化し、データ書込時においては複数のライトコラム選択線WS  
20 Lのうちの1本を選択状態(Hレベル)に活性化する。

【0483】コラム選択ゲートは、コラム選択線と同様に、メモリセル列ごとにデータ読出用とデータ書込用とに独立して設けられる。図72においては、第1番目～第3番目のメモリセル列に対応する、リードコラム選択ゲートRC SG1～RC SG3およびライトコラム選択ゲートWCSG1～WCSG3が代表的に示される。以下においては、これらの複数のリードコラム選択ゲートおよびライトコラムゲートを総称する場合には、符号RC  
CGおよびWCGをそれぞれ用いることとする。

【0484】ライトコラム選択ゲートWCGは、対応する  
30 ライトビット線WBLとデータ線IOとの間に電氣的に結合される。リードコラム選択ゲートRCGは、対応するリードビット線RBLとデータ線IOとの間に電氣的に結合される。

【0485】データ線IOおよびIOによって構成されるデータI/O線対DI/OPは、データ書込時におけるデータ書込電流 $I_w$ を伝達する。一方、データ読出時におけるセンス電流は、一方のデータ線IOによ  
って伝達される。

【0486】データ書込電流 $I_w$ を供給するためのデ  
40 ータ書込回路50wのノードNw1およびNw2は、データ線IOおよびIOとそれぞれ接続される。データ読出回路51rのノードNr1は、データ線IOと接続される。データ書込回路50wおよびデータ読出回路51rの構成および動作は、図14および図17でそれぞれ説明したとおりであるので、詳細な説明は繰り返さない。

【0487】各リードコラム選択線RCSLと各リード  
コラム選択ゲートRCGおよび各ライトコラム選択線WCSLとライトコラム選択ゲートWCGとは、それぞれ

1対1に対応付けられる。たとえば、ビット線BLL1に対応する、リードコラム選択ゲートRCG1およびライトコラム選択ゲートWCG1は、リードコラム選択線RCSL1およびライトコラム選択線WCSL1の電圧レベルにそれぞれ応じてオン/オフする。

【0488】コラムアドレスCAのデコード結果、すな  
わち列選択結果に応じて、いずれか1つのビット線対が選択される。列選択結果に応じて活性化されたコラム選択線CSLに  
10 応答して、対応するコラム選択ゲートCSGがオンする。この結果、選択されたビット線対を構成するビット線BLおよびBLは、データI/O線対DI/OPを構成するデータ線IOおよびIOのそれぞれと電氣的に結合される。

【0489】読出/書込制御回路60は、メモリセル列  
に対応してそれぞれ配置される、書込電流制御トランジスタ、プリチャージトランジスタおよびライトビット線  
電圧制御トランジスタを含む。図72においては、第1番目から第3番目のメモリセル列、すなわちライトビ  
ット線WBL1～WBL3に対応してそれぞれ設けられる書込電流制御トランジスタ63-1～63-3およびラ  
イトビット線電圧制御トランジスタ65-1～65-3  
20 と、リードビット線RBL1～RBL3に対応してそれぞれ設けられるプリチャージトランジスタ64-1～64-3とが代表的に示される。以下においては、これらの複数のライトビット線電圧制御トランジスタを総称する場合には、符号65を用いることとする。

【0490】ライトビット線電圧制御トランジスタ65  
の各々は、データ読出時においてオンして、センス電流  
Isの電流経路を確保するために、対応するライトビ  
ット線WBLを接地電圧Vssと結合する。データ読出  
時以外には、各ライトビット線電圧制御トランジスタ65  
はオフされて、各ライトビット線WBLは接地電圧Vss  
と切離される。書込電流制御トランジスタ63および  
プリチャージトランジスタ64の配置および動作は、図  
15の場合と同様であるので、説明は繰り返さない。

【0491】このような構成とすることにより、デー  
タ書込時においては、選択されたメモリセル列において、  
データ線IO～ライトコラム選択ゲートWCG～ビ  
ット線BL～書込電流制御トランジスタ63～データ線IO  
の経路にデータ書込電流 $I_w$ を流すことができる。  
なお、データ書込電流 $I_w$ の方向は、実施の形態2と  
同様にデータ線IO、IOの電圧を設定することによ  
って制御できる。したがって、実施の形態2と同様に、  
データ書込に関連する周辺回路、すなわちデータ書込回  
路50wおよび読出/書込制御回路60の構成を簡易に  
することができる。

【0492】このように、リードビット線RBLとラ  
イトビット線WBLとを独立に設ける構成においても、行  
選択結果および列選択結果に応じて、図70に示したよ  
うなデータ読出およびデータ書込を実行することができ  
50

る。

【0493】[実施の形態8の変形例1] 図73は、実施の形態8の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0494】図73を参照して、メモリアレイ10においては、実施の形態8と同様に、行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。さらに、実施の形態8の変形例1においては、列方向に隣接するメモリセルが、同一のライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のライトワード線WWL1を共有する。また、メモリセルMCは交互配置される。

【0495】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。

【0496】このような構成とすることにより、リードビット線RBLとライトビット線WBLとを独立に配置する実施の形態8に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0497】また、実施の形態8に従うメモリセルの構成においては、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離がライトビット線WBLと磁気トンネル接合部MTJとの間の距離よりも大きくなるので、実施の形態1に従うメモリセルの場合と同様に、ライトワード線WWLに大きなデータ書込電流を流す必要が生じる。

【0498】したがって、ライトワード線WWLの配線ピッチを緩和して断面積を確保することによって、ライトワード線WWLの電流密度を軽減できる。これにより、大きなデータ書込電流が流れるライトワード線WWLのエレクトロマイグレーション耐性を向上させてMRAMデバイスの信頼性向上を図ることができる。また、材質面においても、ライトワード線WWLをライトビット線WBLよりもエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0499】[実施の形態8の変形例2] 図74は、実施の形態8の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0500】図74を参照して、メモリアレイ10においては、実施の形態8と同様に、行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。さらに、実施の形態8の変形例2においては、列方向に隣接するメモリセルが、同一のリードワード線RWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有す

る。また、メモリセルMCは交互配置される。

【0501】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。

【0502】このような構成とすることにより、リードビット線RBLとライトビット線WBLとを独立に配置する実施の形態8に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0503】[実施の形態8の変形例3] 図75は、実施の形態8の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0504】図75を参照して、実施の形態8の変形例3に従うメモリアレイ10においては、実施の形態8の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

【0505】しかし、リードワード線RWLおよびライトワード線WWLの両方を共有する配置においては、列方向に隣接するメモリセル間でリードビット線RBLおよびライトビット線WBLを共有することができない。したがって、図75の構成においては、リードビット線RBLおよびライトビット線WBLは、各メモリセル列ごとに配置される。

【0506】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。なお表記の都合上、図75においては図示を省略しているが、図72～図74の場合と同様に、各リードビット線RBLに対応してプリチャージトランジスタ64が配置される。

【0507】このような構成とすることにより、実施の形態8に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、行方向に配置される配線のピッチを集中的に緩和して、メモリセルMCを配置することができる。これにより、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0508】[実施の形態8の変形例4] 図76は、実施の形態8の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0509】図76を参照して、行列状に配置された実



施の形態8に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のリードビット線およびライトビット線を用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル列にそれぞれ対応するライトビット線WBL1およびWBL2によって、ライトビット線対を構成することができる。この場合は、ライトビット線WBL2は、ライトビット線WBL1と相補のデータを伝達するので、ビット線/WBL1とも表記する。同様に、第1番目および第2番目のメモリセル列にそれぞれ対応するリードビット線RBL1およびRBL2 (／RBL1) によって、リードビット線対を構成することができる。

【0510】以降のメモリセル列に対しても同様に、メモリセル列の組ごとにライトビット線対およびリードビット線対を構成するように、各リードビット線RBLおよびライトビット線WBLは配置される。

【0511】以下においては、各ライトビット線対を構成するライトビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれぞれをライトビット線WBLおよび／WBLとも総称する。これにより、いわゆる折返し型ビット線構成に基づいてデータ書込を実行することができる。

【0512】同様に、各リードビット線対を構成するリードビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれぞれをリードビット線RBLおよび／RBLとも総称する。データ読出には、リードビット線RBLに対して実施の形態2と同様に配置された、ダミーメモリセルを用いて実行される。これにより、いわゆる折返し型ビット線構成に基づいてデータ読出を実行することができる。

【0513】リードコラム選択線およびライトコラム選択線は、リードビット線対およびライトビット線対ごとに、すなわちメモリセル列の組ごとに設けられる。したがって、同一の組に対応する2個のリードコラム選択ゲートRCGおよびライトコラム選択ゲートWCGは、共通のリードコラム選択線RCSLおよびライトコラム選択線WCSLにそれぞれ応答して、オン／オフする。

【0514】たとえば、第1番目および第2番目のメモリセル列に対応するリードコラム選択ゲートRCG1およびRCG2は、共通のリードコラム選択線RCSL1に応じて動作する。同様に、ライトコラム選択ゲートWCG1およびWCG2は、共通のライトコラム選択線WCSL1に応じて動作する。

【0515】奇数列のライトビット線WBLに対応して設けられるライトコラム選択ゲートWCG1、WCG3、…は、対応するライトビット線WBLとデータ線IOとの間に電気的に結合される。一方、偶数列のライト

ビット線/WBLに対応して設けられるライトコラム選択ゲートWCG2、WCG4、…は、対応するライトビット線/WBLとデータ線/IOとの間に電気的に結合される。

【0516】同様に、奇数列のリードビット線RBLに対応して設けられるリードコラム選択ゲートRCG1、RCG3、…は、対応するリードビット線RBLとデータ線IOとの間に電気的に結合される。一方、偶数列のリードビット線/RBLに対応して設けられるリードコラム選択ゲートRCG2、RCG4、…は、対応するリードビット線/RBLとデータ線/IOとの間に電気的に結合される。

【0517】データ線IOおよび／IOによって構成されるデータI/O線対DI/OPは、データ書込時においてはデータ書込電流 $I_w$ を伝達し、データ読出時にはセンス電流を伝達する。

【0518】データ書込電流 $I_w$ を供給するためのデータ書込回路50wおよびデータ読出回路50rは、電流切換回路53aを介して、データ線IO、／IOと接続される。データ書込回路50w、データ読出回路50rおよび電流切換回路53aの構成および動作は、図14に示したとおりであるので、詳細な説明は繰り返さない。

【0519】コラムアドレスCAのデコード結果、すなわち列選択結果に応じて活性化されたリードコラム選択線RCSLもしくはライトコラム選択線WCSLにตอบสนองして、対応する2個のリードコラム選択ゲートRCGもしくはライトコラム選択ゲートWCGがオンする。この結果、選択されたリードビット線対を構成するリードビット線RBLおよび／RBL、もしくは選択されたライトビット線対を構成するライトビット線WBLおよび／WBLは、データI/O線対DI/OPを構成するデータ線IOおよび／IOのそれぞれと電気的に結合される。

【0520】読出/書込制御回路60は、各ライトビット線対に対応して設けられ、ビット線イコライズ信号BLEQに応じてオン／オフするイコライズトランジスタ62と、各ライトビット線WBLに対応して設けられデータ読出時において対応するライトビット線と接地電圧 $V_{ss}$ とを電気的に結合するライトビット線電圧制御トランジスタ65を含む。さらに、図76においては図示を省略しているが、ビット線プリチャージ信号BLPRに応じてオン／オフされるプリチャージトランジスタ64が図72～図74と同様に、各リードビット線RBLに対応して配置される。

【0521】このような構成とすることにより、選択されたリードビット線対は、データ読出時における実施の形態2のビット線対と同様にセンス電流を流して、データ読出を行なう。同様に、選択されたライトビット線対は、対応するイコライズトランジスタ62を介して、デ

ータ書込時における実施の形態2のビット線対と同様にデータ書込電流を流して、データ書込を行なう。

【0522】したがって、実施の形態8に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の回路構成を単純化するとともに、データ書込ノイズを低減できる。

【0523】【実施の形態8の変形例5】実施の形態8の変形例5においては、実施の形態8の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0524】図77は、実施の形態8の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0525】図77を参照して、実施の形態8の変形例5に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。

【0526】リードワード線RWLが活性化されるデータ読出時においては、各リードビット線RBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ビット線構成に基づく、実施の形態8の変形例4と同様のデータ読出を実行できる。

【0527】一方、複数のメモリセル行間で共有されるライトワード線WWLが活性化されるデータ書込時においては、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態8の変形例5においては、データ書込時におけるコラム選択線の活性化は、各メモリセル行ごとに制御される。

【0528】読出/書込制御回路60は、イコライズトランジスタ62に代えて、メモリセル列にそれぞれ対応して配置される書込電流制御トランジスタ63を含む。書込電流制御トランジスタは、対応するライトコラム選択線の活性化にตอบสนองしてオンする。図77においては、第1番目から第4番目のメモリセル列、すなわちビット線BL1~BL4に対応してそれぞれ設けられる書込電流制御トランジスタ63-1~63-4が代表的に示される。図示は省略されているが、プリチャージトランジスタ64は、図72~74の場合と同様に、各リードビット線RBLに対応して配置される。

【0529】奇数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-1, 63-3, ...は、列選択結果に応じて、対応するライトビット線WBL1, WBL3, ...とデータ線/IOとを電氣的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-

2, 63-4, ...は、列選択結果に応じて、対応するライトビット線WBL2, WBL4, ...とデータ線IOとを電氣的に結合するために配置される。

【0530】したがって、選択されたメモリセル列において、データ線IO(/IO)~ライトコラム選択ゲートWCSG~ライトビット線WBL~書込電流制御トランジスタ63~データ線/IO(IO)の経路に、データ書込電流±Iwを流すことができる。データ書込電流±Iwの方向は、実施の形態2と同様にデータ線IO, /IOの電圧を設定することによって制御できる。したがって、実施の形態2と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出/書込制御回路60の構成を簡易にすることができる。

【0531】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和することができる。この結果、実施の形態8の変形例1の場合と同様に、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減および、ライトワード線WWLのエレクトロマイグレーション耐性向上によるMRAMデバイスの信頼性向上を図ることができる。

【0532】【実施の形態8の変形例6】実施の形態8の変形例6においては、実施の形態8の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

【0533】図78は、実施の形態8の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0534】図78を参照して、実施の形態8の変形例6に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

【0535】読出/書込制御回路60は、実施の形態8の変形例4と同様に配置されるイコライズトランジスタ62およびライトビット線電圧制御トランジスタ65とを含む。読出/書込制御回路60は、さらに、図示は省略されるが、図72~74と同様に、各リードビット線RBLに対応して配置されるプリチャージトランジスタ64を有する。

【0536】ライトワード線WWLが活性化されるデータ書込時においては、各ライトビット線WBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態8の変形例4と同様のデータ書込を実行できる。したがって、実施の形態2と同様にデータ書込の動作マージンを確保できる。また、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出/書込制御回路60周辺回路の回路構成を単純化するとともに、データ書込時に発生する磁

界ノイズを低減できる。

【0537】一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読出時には、折返し型ビット線構成に基づくデータ読出を行なうことはできない。

【0538】実施の形態8の変形例6に従う構成においては、電流切換回路53aおよびデータ読出回路50rに代えて、電流切換回路53bおよびデータ読出回路51rがそれぞれ配置される。電流切換回路53bおよびデータ読出回路51rの構成および動作については、図16および図17で既に説明しているため、詳細な説明は繰り返さない。

【0539】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和してデータ読出を正常に実行できる。この結果、実施の形態1の変形例3の場合と同様に、メモリアレイ10を高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0540】したがって、実施の形態8に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0541】〔実施の形態9〕図79は、実施の形態9に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【0542】図79を参照して、実施の形態9に従うメモリセルにおいては、アクセストランジスタATRは、リードビット線RBLと磁気トンネル接合部MTJとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRおよびライトワード線WWLの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。

【0543】図70で説明したように、データ読出時におけるライトワード線WWLの電圧レベルは接地電圧Vssに設定されるので、ライトワード線WWLをリードビット線RBLに代えて磁気トンネル接合部MTJと結合することができる。これによりデータ読出時には、リードワード線RWLの活性化にตอบสนองして、アクセストランジスタATRがターンオンして、リードビット線RBL～アクセストランジスタATR～磁気トンネル接合部MTJ～ライトワード線WWLの間にセンス電流Isの電流経路を形成して、磁気トンネル接合部MTJの記憶データに応じた電圧変化をリードビット線RBLに生じさせることができる。

【0544】一方、データ書込時には、ライトワード線WWLおよびライトビット線WBLをそれぞれ流れるデータ書込電流によって、互いに直交する磁界を磁

気トンネル接合部MTJに発生することができる。

【0545】したがって、実施の形態9の変形例に従うMTJメモリセルに対するデータ書込およびデータ読出動作は、リードワード線RWL、ライトワード線WWL、リードビット線RBLおよびライトビット線WBLの電圧および電流を図70と同様に設定することによって実行できる。

【0546】図80は、実施の形態9に従うMTJメモリセルの配置を説明する構造図である。

【0547】図80を参照して、実施の形態9においては、ライトビット線WBLは、他の配線やMTJメモリセルと結合させる必要がないので、磁気トンネル接合部MTJとの磁気カップリングの向上を優先して自由に配置することができる。ライトビット線WBLは、たとえば第2の金属配線層M2を用いて、磁気トンネル接合部MTJの直下に配置される。

【0548】ライトワード線WWLは、磁気トンネル接合部MTJと電気的に結合されて第3の金属配線層M3に配置される。リードワード線RWL、アクセストランジスタATRおよびリードビット線RBLの配置については図71と同様であるため説明は繰り返さない。

【0549】このような構成とすることにより、リードビット線RBLをアクセストランジスタATRを介して磁気トンネル接合部MTJと結合するので、リードビット線RBLを同一メモリセル列に属する多数の磁気トンネル接合部MTJと直接接続することなく、リードビット線RBLの容量を抑制できる。この結果、データ読出動作を高速化できる。

【0550】また、磁気トンネル接合部MTJとライトワード線WWLとの間隔を狭くできるので、データ書込時における磁気カップリングを大きくすることができ、ライトワード線WWLのデータ書込電流Ipの電流量を小さく設定することができる。この結果、データ書込電流によって発生する磁気ノイズの減少やライトビット線の電流密度抑制によって、動作の信頼性を向上できる。

【0551】したがって、実施の形態8に従うメモリセルと同様に、リードビット線RBLとライトビット線WBLとを分割して配置することにより、データ読出およびデータ書込の両方において、上記の効果を両立して享受できる。

【0552】図81は、実施の形態9に従うメモリアレイ10の構成を示すブロック図である。

【0553】図81を参照して、実施の形態9に従うメモリアレイ10においては、図72の場合と同様に、行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。

【0554】たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のリードビット線RBL1を共有し、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトビット線

WBL1を共有する。以降のメモリスル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

【0555】また、メモリスルの構成上、読出／書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

【0556】メモリスルMC、リードワード線RWL、ライトワード線WWL、ワード線電流制御回路40、および列選択結果に応じてデータ書込電流およびセンス電流を供給するための周辺回路の配置および構成は、実施の形態8と同様であるので説明は繰り返さない。

【0557】このような構成とすることにより、実施の形態9に従うメモリスルを配置する場合においても、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリスルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0558】また、実施の形態9に従うメモリスルの構成においては、ライトビット線WBLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ライトビット線WBLにより大きなデータ書込電流を流す必要が生じる。したがって、ライトビット線WBLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

【0559】すなわち、実施の形態9に従うメモリスルの配置においても、ライトビット線WBLの配線幅(断面積)を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ライトワード線WWLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ライトビット線WBLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

【0560】[実施の形態9の変形例1] 図82は、実施の形態9の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【0561】図82を参照して、実施の形態9の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリスルは、図73の場合と同様に同一のライトワード線WWLを共有する。

【0562】その他の部分の構成と、データ読出およびデータ書込時における各メモリスルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

【0563】このような構成とすることにより、実施の形態9に従うメモリスルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリスルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスの

チップ面積を削減することができる。

【0564】[実施の形態9の変形例2] 図83は、実施の形態9の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【0565】図83を参照して、実施の形態9の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリスルは、図74の場合と同様に同一のリードワード線RWLを共有する。

【0566】その他の部分の構成と、データ読出およびデータ書込時における各メモリスルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

【0567】このような構成とすることにより、実施の形態9に従うメモリスルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリスルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0568】[実施の形態9の変形例3] 図84は、実施の形態9の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【0569】図84を参照して、実施の形態9の変形例3に従うメモリアレイ10においては、実施の形態9の変形例1と同様に、列方向に隣接するメモリスルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリスル間で共有される。たとえば、第2行および第3行のメモリスル行に属するメモリスル群は、同一のリードワード線RWL2を共有する。以降のメモリスル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

【0570】図75の場合と同様に、リードワード線RWLおよびライトワード線WWLの両方を共有する配置においては、列方向に隣接するメモリスル間でリードビット線RBLおよびライトビット線WBLを共有することができない。リードビット線RBLおよびライトビット線WBLは、各メモリスル列ごとに配置される。

【0571】その他の部分の構成と、データ読出およびデータ書込時における各メモリスルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

【0572】このような構成とすることにより、実施の形態9に従うメモリスルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、行方向に配置される配線のピッチを集中的に緩和して、メモリスルMCを配置することができる。これにより、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。

【0573】[実施の形態9の変形例4] 図85は、実施の形態9の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0574】図85を参照して、行列状に配置された実施の形態7に従うメモリセルに対して、実施の形態8の変形例4と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のリードビット線およびライトビット線を用いて折返し型ビット線構成が実現される。

【0575】図85においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと接続されない点が、実施の形態8の変形例4に従う図76の構成と異なる。また、メモリセルの構成上、読出/書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

【0576】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図76の場合と同様であるので、詳細な説明は繰り返さない。

【0577】したがって、実施の形態9に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60周辺回路の回路構成を単純化するとともに、データ書込ノイズを低減できる。

【0578】【実施の形態9の変形例5】実施の形態9の変形例5においては、実施の形態9の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

【0579】図86は、実施の形態9の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0580】図86においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと接続されない点が、実施の形態8の変形例5に従う図77の構成と異なる。また、メモリセルの構成上、読出/書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

【0581】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図77の場合と同様であるので、詳細な説明は繰り返さない。

【0582】したがって、実施の形態9に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0583】【実施の形態9の変形例6】実施の形態9の変形例6においては、実施の形態9の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル

行間におけるリードワード線RWLの共有が図られる。

【0584】図87は、実施の形態9の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【0585】図87においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと接続されない点が、実施の形態8の変形例6に従う図78の構成と異なる。また、メモリセルの構成上、読出/書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

【0586】その他の部分の構成と、データ読出およびデータ書込時における動作とは、図78の場合と同様であるので、詳細な説明は繰り返さない。

【0587】したがって、実施の形態9に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の単純化およびデータ書込ノイズ低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0588】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0589】

【発明の効果】請求項1記載の薄膜磁性体記憶装置は、書込ワード線、読出ワード線、データ線および基準電圧配線を用いてデータ読出およびデータ書込を実行する磁性体メモリセルが配置されるメモリアレイに設けられる配線数を削減できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

【0590】請求項2記載の薄膜磁性体記憶装置は、書込ワード線、読出ワード線およびデータ線を用いてデータ読出およびデータ書込を実行する磁性体メモリセルが配置されるメモリアレイに設けられる配線数を削減できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

【0591】請求項3記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項1または2に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

【0592】請求項4記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大き

なデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項1または2に記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

【0593】請求項5記載の薄膜磁性体記憶装置は、書込ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本のデータ線を用いてデータ読出を実行するので、請求項1または2に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における動作マージンを確保することができる。

【0594】請求項6記載の薄膜磁性体記憶装置は、読出ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本のデータ線を用いてデータ書込を実行するので、請求項1または2に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込時における動作マージン確保および磁界ノイズ低減を図ることができる。

【0595】請求項7記載の薄膜磁性体記憶装置は、対を成す2本のデータ線を用いてデータ読出およびデータ書込を実行するので、請求項1または2に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズの低減を図ることができる。

【0596】請求項8記載の薄膜磁性体記憶装置は、請求項6または7に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ線にデータ書込電流を供給するための周辺回路の構成を簡略化できる。

【0597】請求項9記載の薄膜磁性体記憶装置は、書込ワード線と、読出ワード線と、データ線および基準電圧配線の機能を併有する共通配線を用いてデータ読出およびデータ書込を実行する磁性体メモリセルを、共通配線の配線数を削減してメモリアレイに配置できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

【0598】請求項10記載の薄膜磁性体記憶装置は、書込ワード線および読出ワード線の少なくとも一方の配線数をさらに削減できる。この結果、請求項9記載の薄膜磁性体記憶装置が奏する効果に加えて、メモリアレイをさらに高集積化してチップ面積を削減することができる。

【0599】請求項11記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項9または10に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

【0600】請求項12記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項9記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

【0601】請求項13記載の薄膜磁性体記憶装置は、書込ワード線、読出ワード線、書込データ線および読出データ線を用いてデータ読出およびデータ書込を実行する磁性体メモリセルが配置されるメモリアレイに設けられる配線数を削減できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

【0602】請求項14記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

【0603】請求項15記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

【0604】請求項16記載の薄膜磁性体記憶装置は、書込ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本の読出データ線を用いてデータ読出を実行するので、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における動作マージンを確保することができる。

【0605】請求項17記載の薄膜磁性体記憶装置は、読出ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本の書込データ線を用いてデータ書込を実行するので、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込時における動作マージン確保および磁界ノイズ低減を図ることができる。

【0606】請求項18記載の薄膜磁性体記憶装置は、対を成す2本の読出データ線および書込データ線をそれぞれ用いてデータ読出およびデータ書込を実行するので、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズを低減することができる。

【0607】請求項19記載の薄膜磁性体記憶装置は、



請求項 17 または 18 に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ線にデータ書込電流を供給するための周辺回路の構成を簡略化できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う MRAM デバイス 1 の全体構成を示す概略ブロック図である。

【図 2】 実施の形態 1 に従う MTJ メモリセルと信号配線との間の接続関係を示す回路図である。

【図 3】 実施の形態 1 に従うメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【図 4】 実施の形態 1 に従うメモリセルの配置を説明する構造図である。

【図 5】 実施の形態 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 6】 実施の形態 1 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 7】 実施の形態 1 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 8】 ライトワード線 WWL の配置を説明する構造図である。

【図 9】 実施の形態 1 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 10】 実施の形態 1 の変形例 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 11】 実施の形態 1 の変形例 5 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 12】 共通配線制御トランジスタ CCT のオン/オフに対応した共通配線 SBL の動作を示すタイミングチャートである。

【図 13】 実施の形態 2 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 14】 データ書込回路 50w およびデータ読出回路 50r の構成を示す回路図である。

【図 15】 実施の形態 2 の変形例 1 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 16】 実施の形態 2 の変形例 2 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 17】 データ読出回路 51r の構成を示す回路図である。

【図 18】 実施の形態 3 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図 19】 実施の形態 3 に従うメモリセルの配置を説明する構造図である。

【図 20】 実施の形態 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 21】 実施の形態 3 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 22】 実施の形態 3 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 23】 実施の形態 3 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 24】 実施の形態 3 の変形例 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 25】 実施の形態 3 の変形例 5 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 26】 実施の形態 3 の変形例 6 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 27】 実施の形態 3 の変形例 7 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 28】 実施の形態 3 の変形例 8 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 29】 実施の形態 4 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図 30】 実施の形態 4 に従うメモリセルの配置を説明する構造図である。

【図 31】 実施の形態 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 32】 実施の形態 4 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 33】 実施の形態 4 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 34】 実施の形態 4 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 35】 実施の形態 4 の変形例 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 36】 実施の形態 4 の変形例 5 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 37】 実施の形態 4 の変形例 6 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 38】 実施の形態 4 の変形例 7 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 39】 実施の形態 4 の変形例 8 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 40】 実施の形態 5 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図 41】 実施の形態 5 に従うメモリセルの配置を説明する構造図である。

【図 42】 実施の形態 5 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 43】 実施の形態 5 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 44】 実施の形態 5 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 45】 実施の形態 5 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 46】 実施の形態 5 の変形例 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 47】 実施の形態 5 の変形例 5 に従うメモリアレイ 10 の構成を示すブロック図である。

【図48】 実施の形態5の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図49】 実施の形態5の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図50】 実施の形態5の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図51】 実施の形態6に従うMTJメモリセルと信号配線との間の接続関係を示す回路図である。

【図52】 実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

【図53】 実施の形態6に従うメモリアレイ10の構成を示すブロック図である。

【図54】 実施の形態6の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図55】 実施の形態6の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図56】 実施の形態6の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図57】 実施の形態6の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図58】 実施の形態6の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図59】 実施の形態6の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図60】 実施の形態7に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図61】 実施の形態7に従うメモリセルの配置を示す構造図である。

【図62】 実施の形態7に従うメモリアレイ10の構成を示すブロック図である。

【図63】 実施の形態7の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図64】 実施の形態7の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図65】 実施の形態7の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図66】 実施の形態7の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図67】 実施の形態7の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図68】 実施の形態7の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図69】 実施の形態8に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図70】 実施の形態8に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【図71】 実施の形態8に従うMTJメモリセルの配置を示す構造図である。

【図72】 実施の形態8に従うメモリアレイ10の構成

成を示すブロック図である。

【図73】 実施の形態8の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図74】 実施の形態8の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図75】 実施の形態8の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図76】 実施の形態8の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

10 【図77】 実施の形態8の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図78】 実施の形態8の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図79】 実施の形態9に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図80】 実施の形態9に従うMTJメモリセルの配置を説明する構造図である。

【図81】 実施の形態9に従うメモリアレイ10の構成を示すブロック図である。

20 【図82】 実施の形態9の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図83】 実施の形態9の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図84】 実施の形態9の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図85】 実施の形態9の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図86】 実施の形態9の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

30 【図87】 実施の形態9の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図88】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図89】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図90】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図91】 データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

40 【図92】 行列状に集積配置されたMTJメモリセルを示す概念図である。

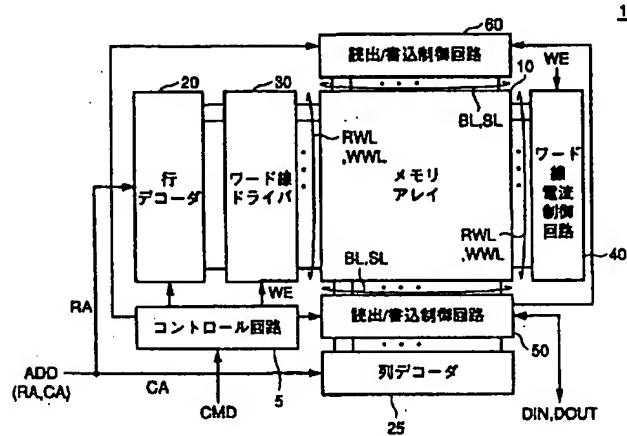
【図93】 半導体基板上に配置されたMTJメモリセルの構造図である。

【符号の説明】

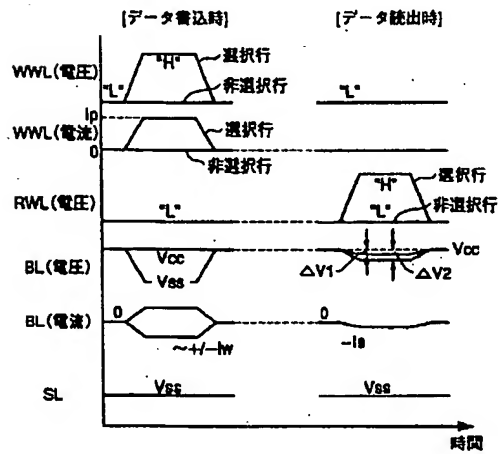
10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、40 ワード線電流制御回路、50、60 読出／書込制御回路、50w データ書込回路、50r、51r データ読出回路、53a、53b 電流切換回路、62 イコライズトランジスタ、63 書込電流制御トランジスタ、64 ブリチ

ャージトランジスタ、65 ライトビット線電圧制御回路、ATR アクセストランジスタ、BL、/BL ビット線、CCT 共通配線制御トランジスタ、CSG コラム選択ゲート、FL 固定磁気層、MTJ 磁気トンネル接合部、RBL リードビット線、RCG リー

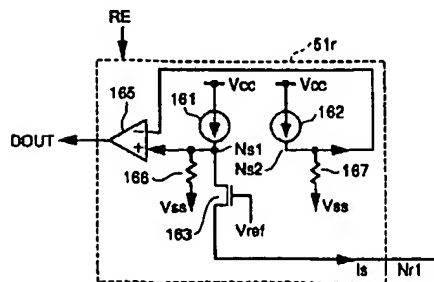
【図1】



【図3】



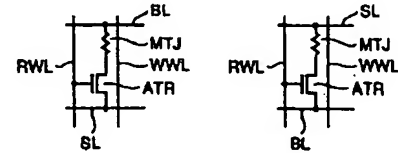
【図17】



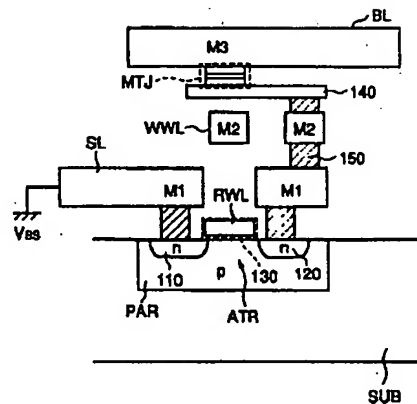
ドコラム選択ゲート、RWL リードワード線、SL 基準電圧配線、SBL 共通配線、TB トンネルバリア、VL 自由磁気層、WCG ライトコラム選択ゲート、WBL、/WBL ライトビット線、WWL ライトワード線。

【図2】

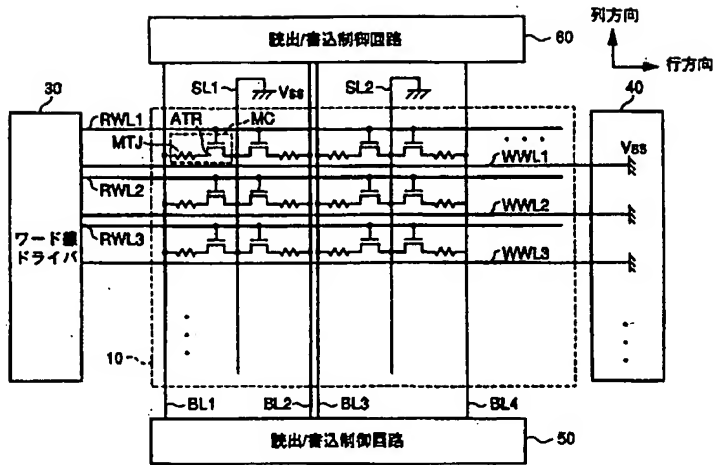
【図18】



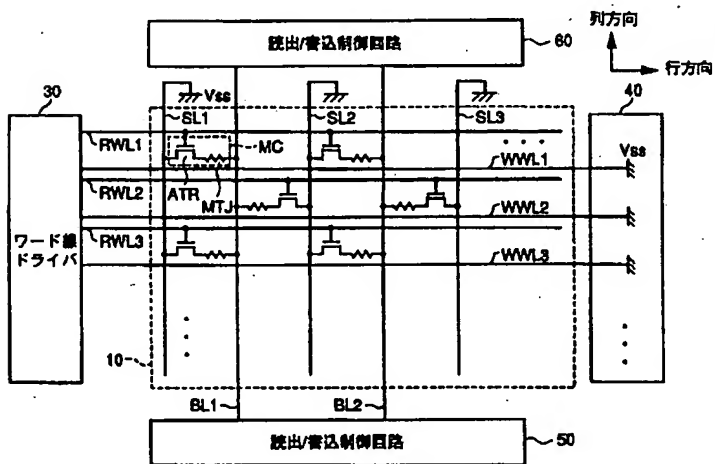
【図4】



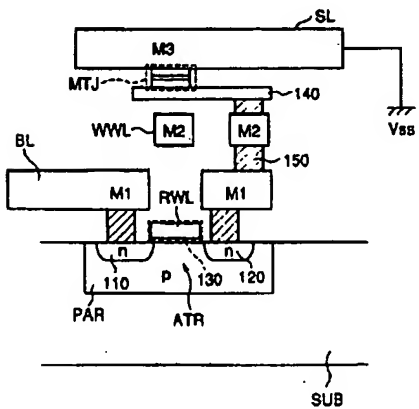
【図 5】



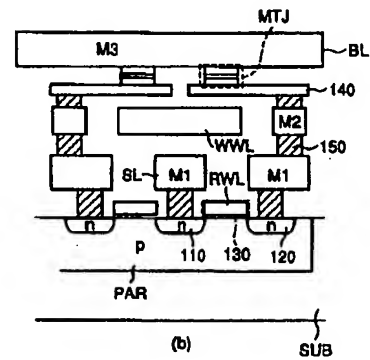
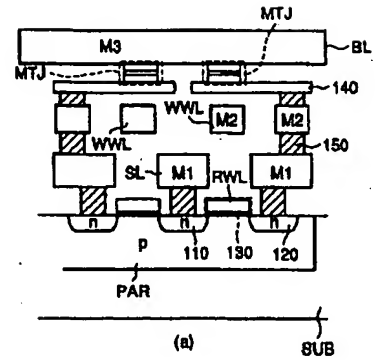
【図6】



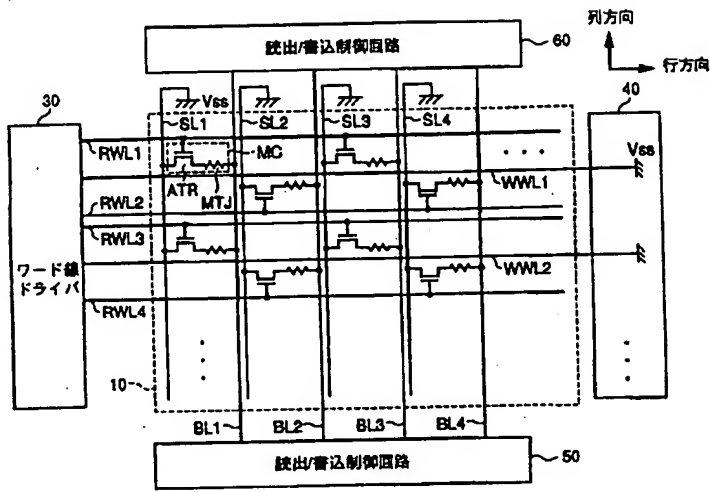
【图 19】



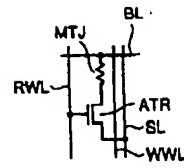
【図8】



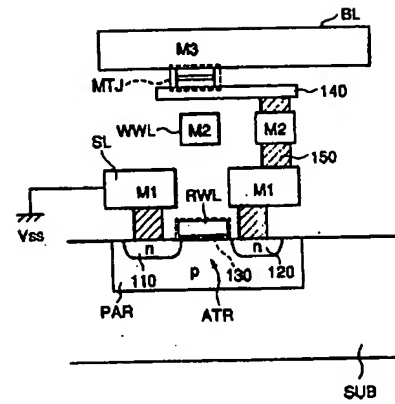
【図7】



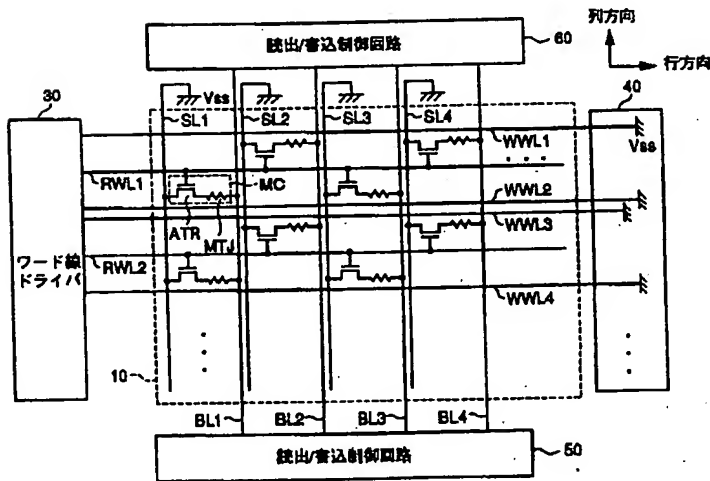
【図29】



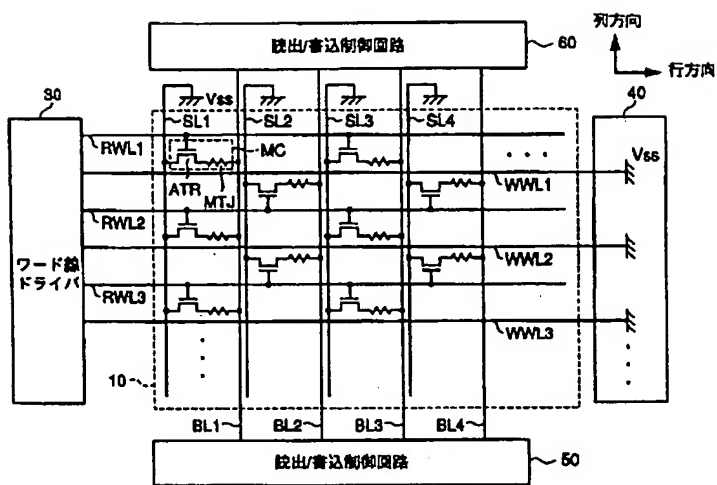
【図30】



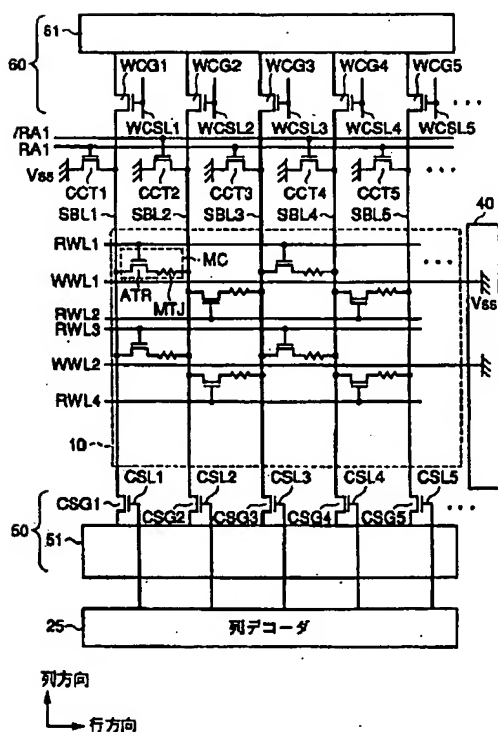
【図9】



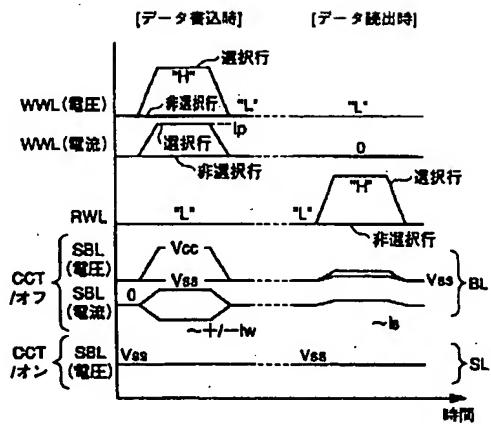
【図 10】



【图 1 1】

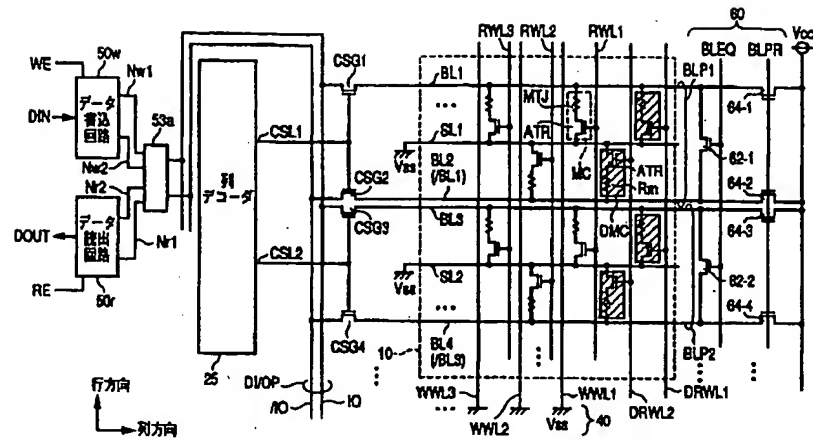


【图 12】

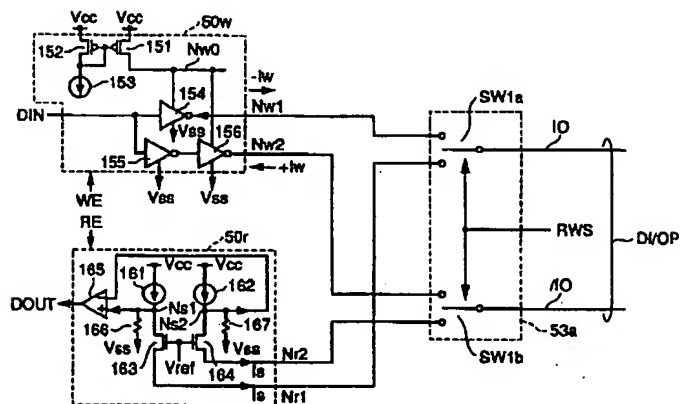




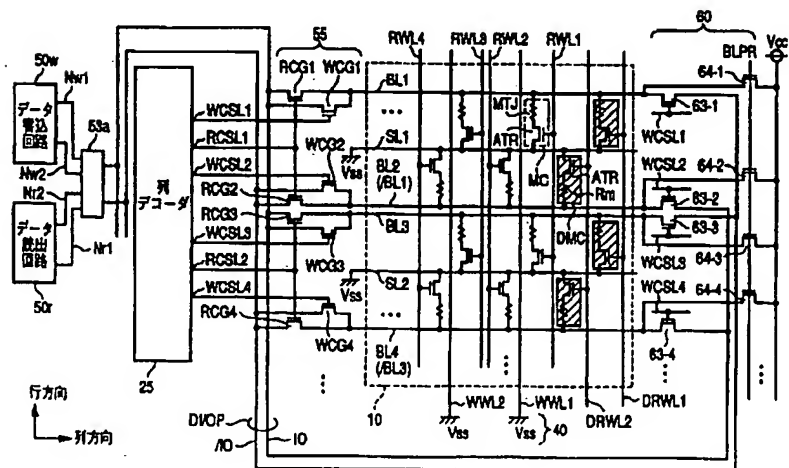
【图 13】

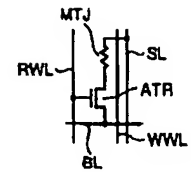


【図 14】

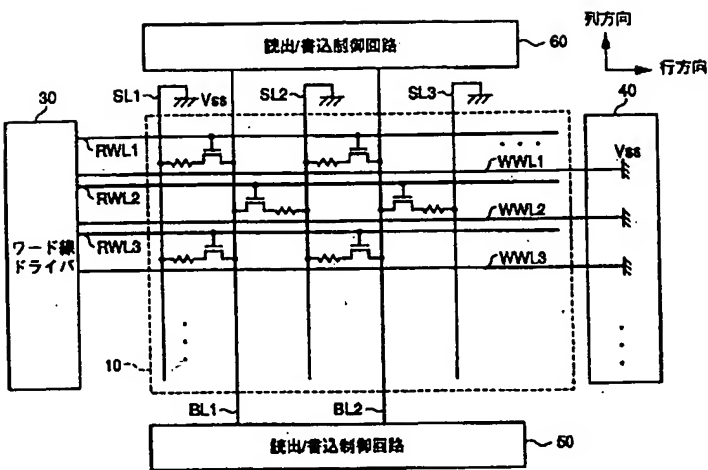


【図 15】

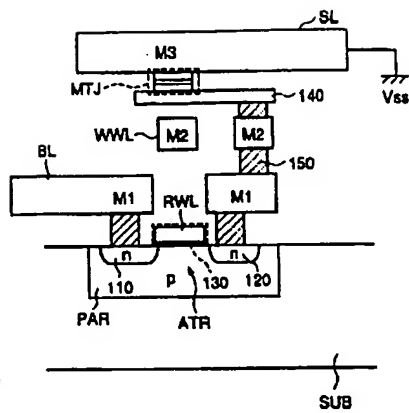




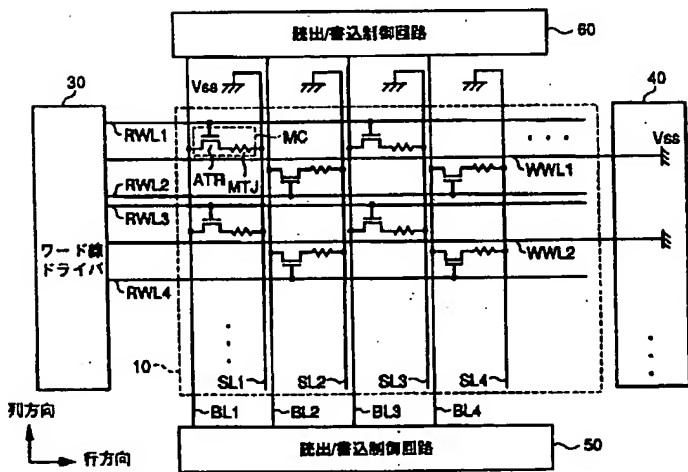
【図 2 1】



【図 4 1】

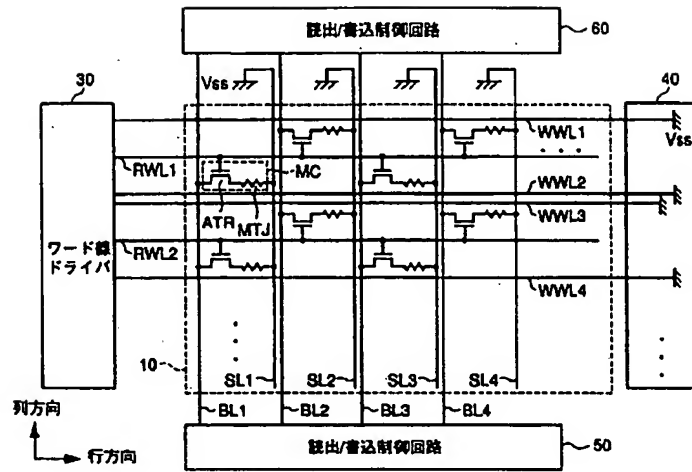


【图 2 2】

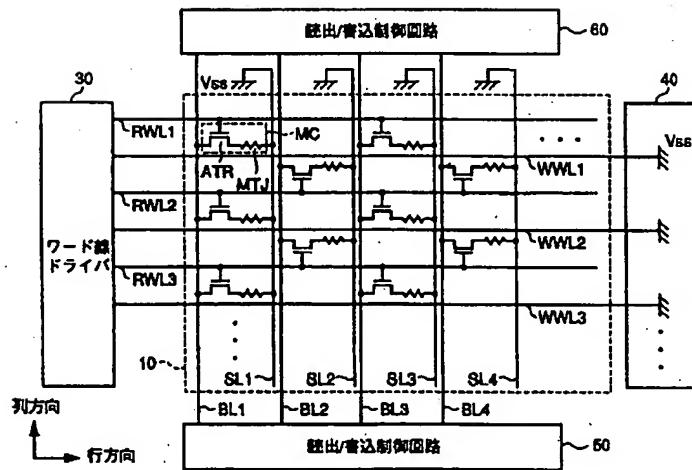


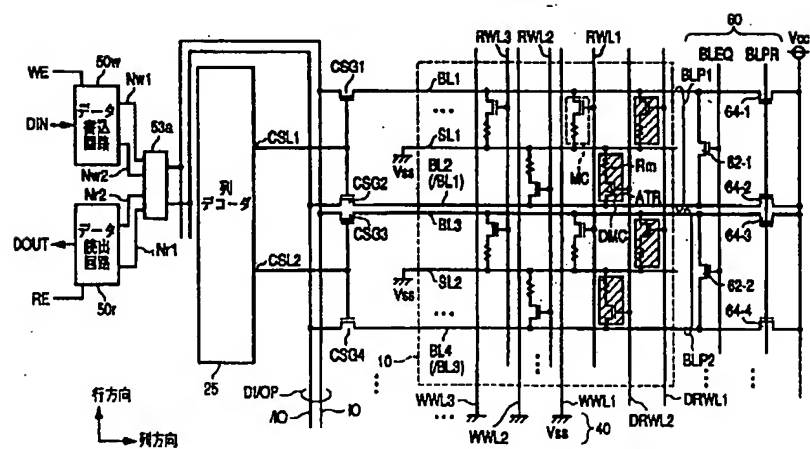
(50)

【図23】



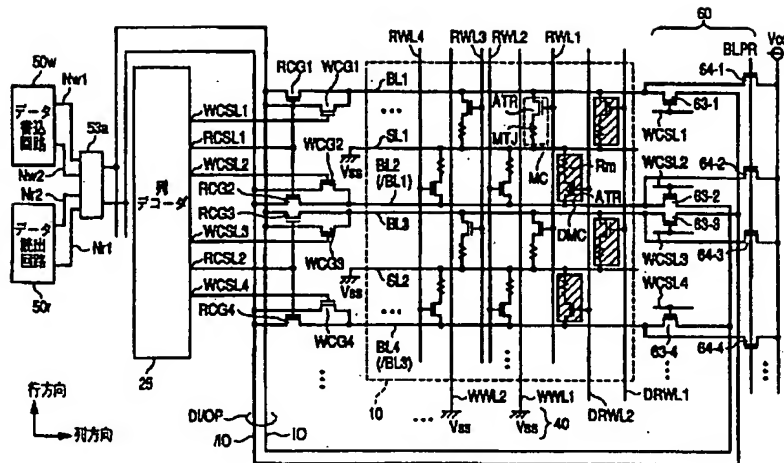
【図24】



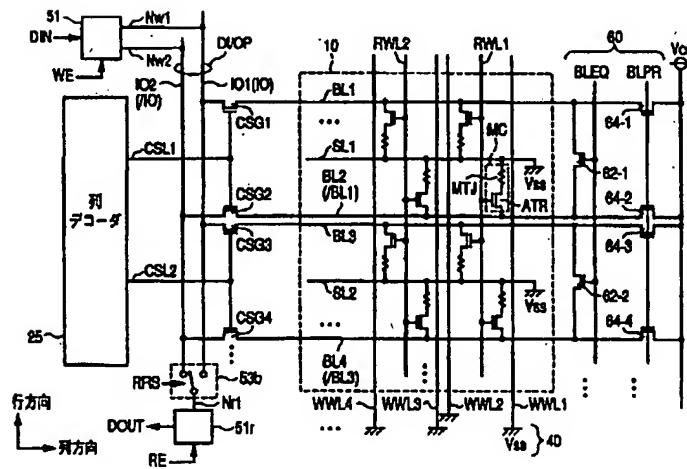


(52)

【図 27】

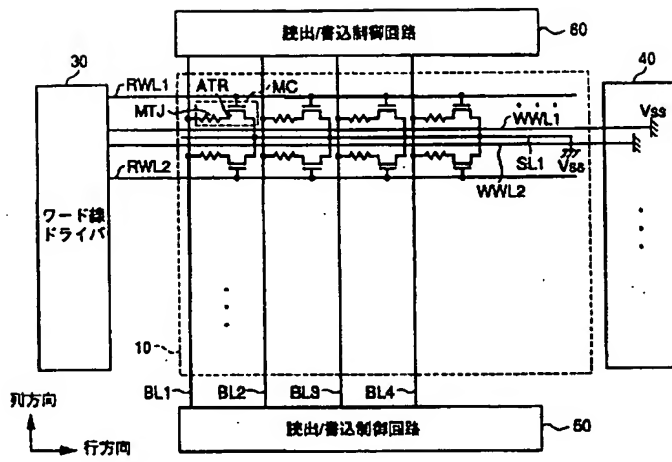


【図 28】

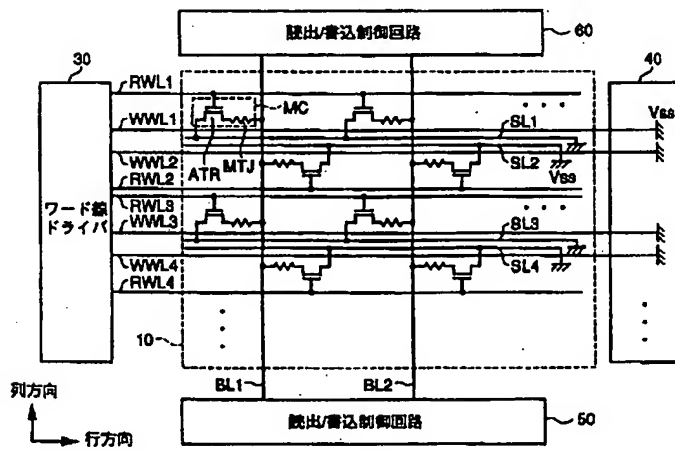




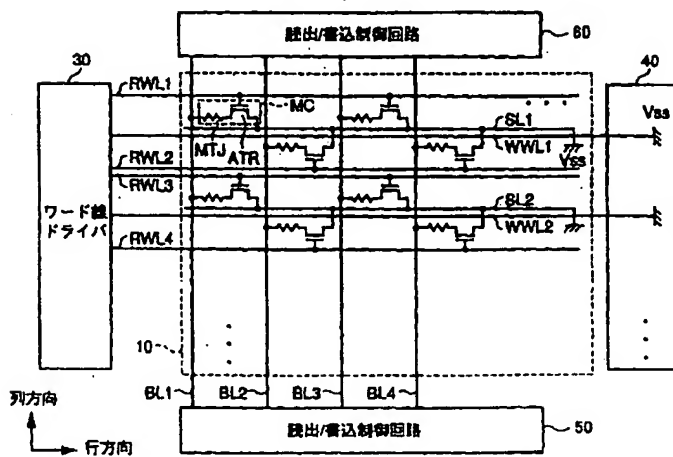
【図 3 1】



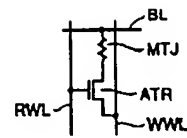
【図 3 2】



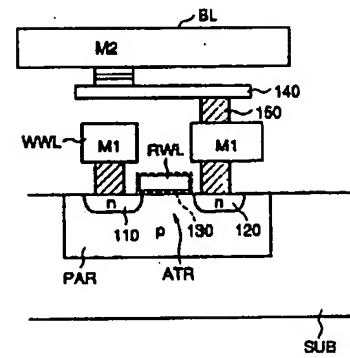
【図 3 4】

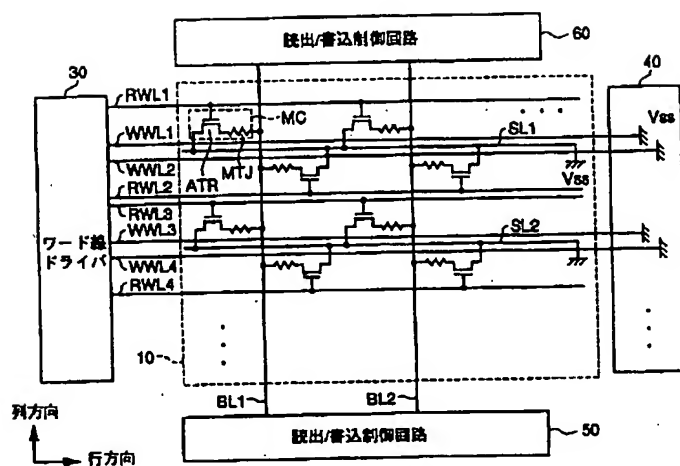


【図 5 1】

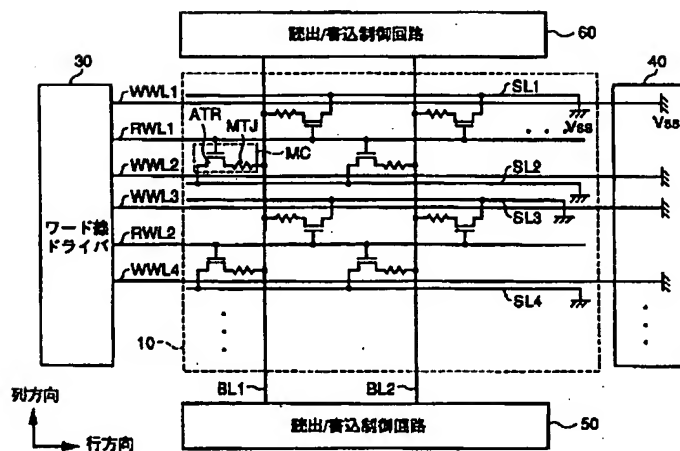


【図5 2】

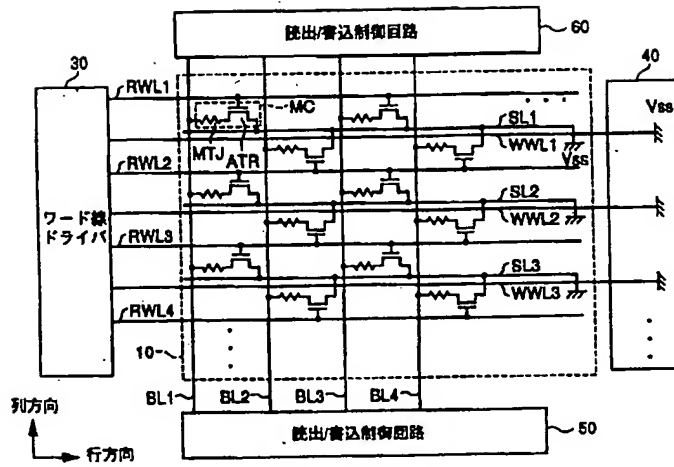




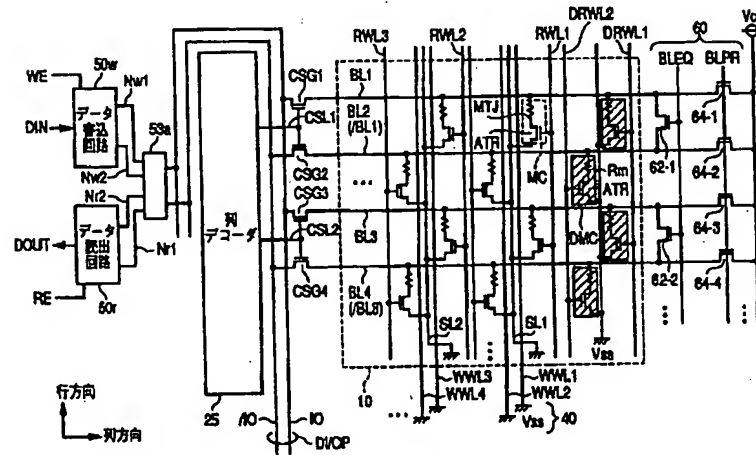
【図 35】



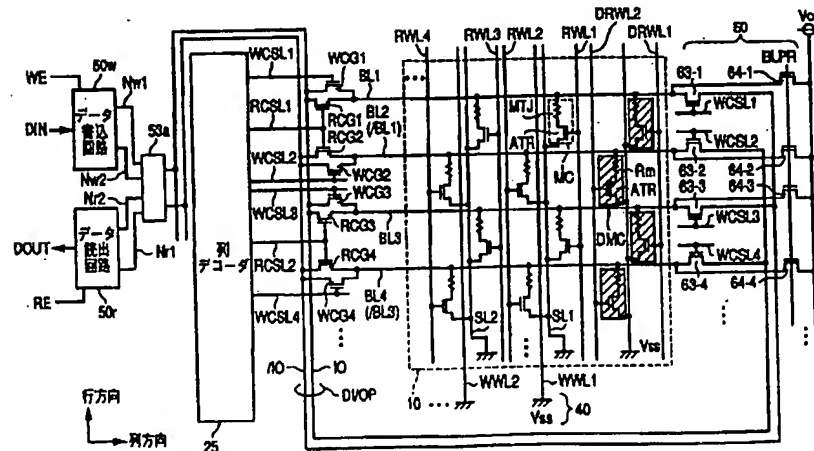
【図36】



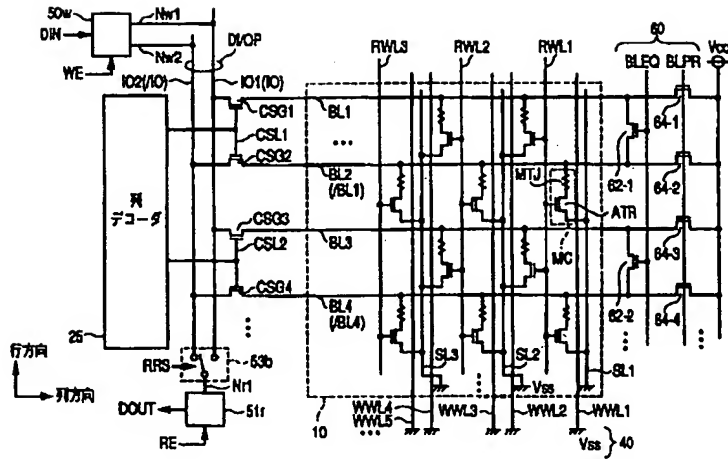
【図37】



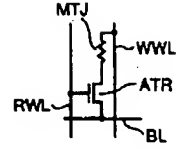
【図38】



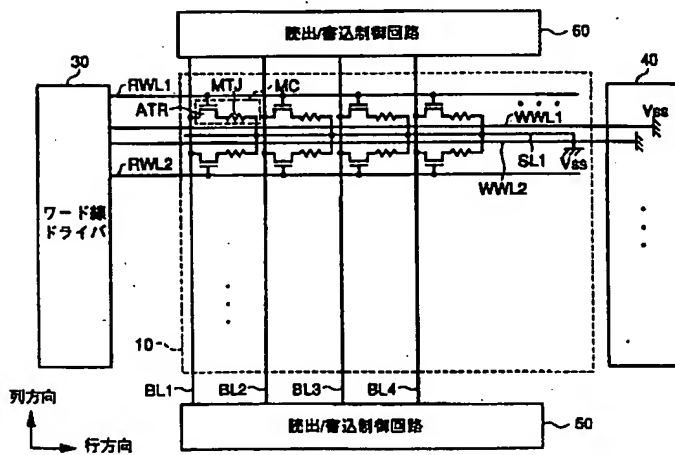
【図 39】



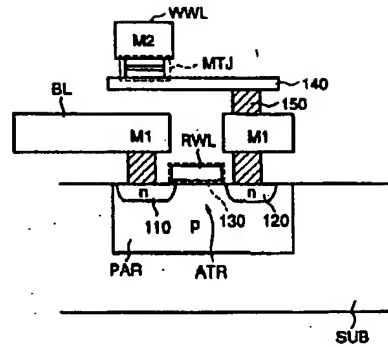
【図 60】

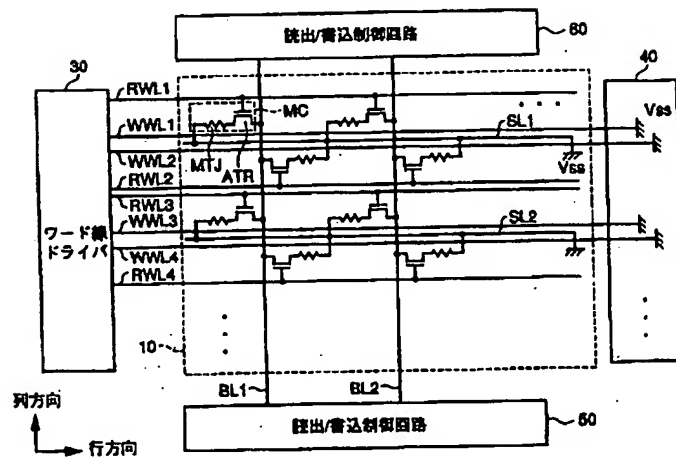


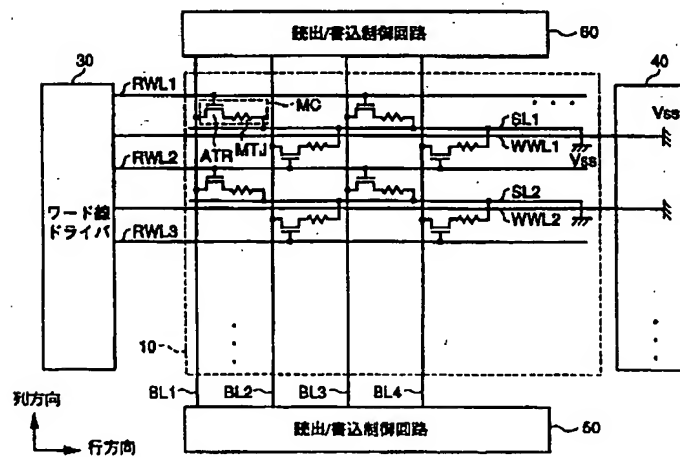
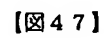
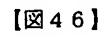
【図 42】



【図 61】

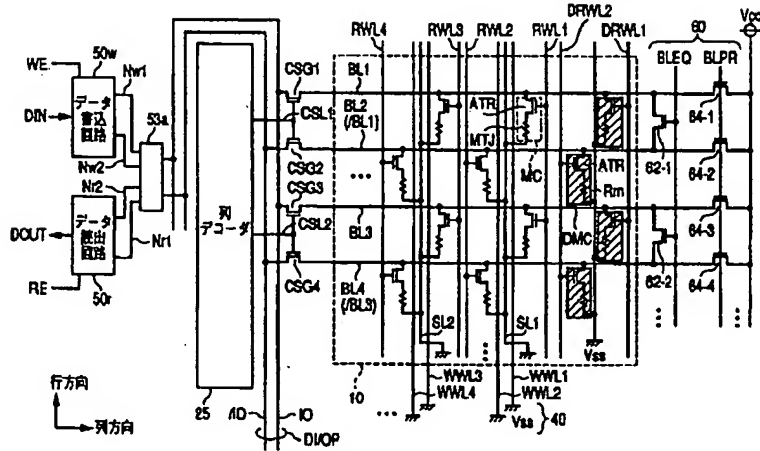




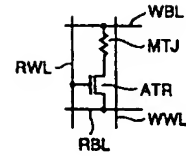




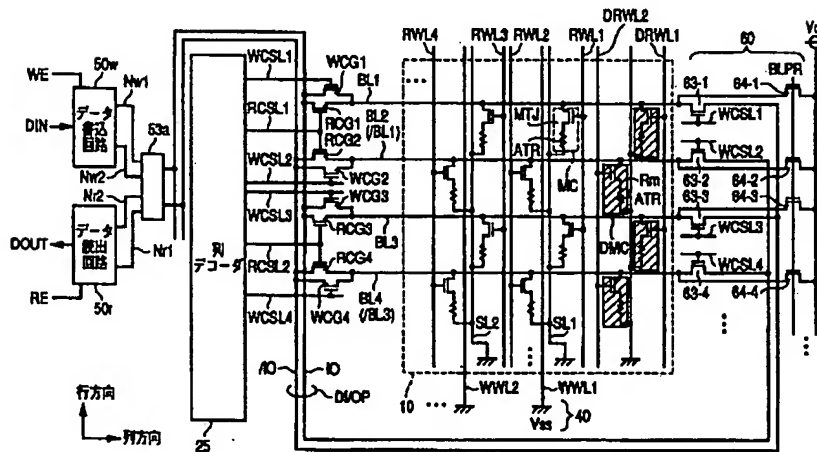
【図48】



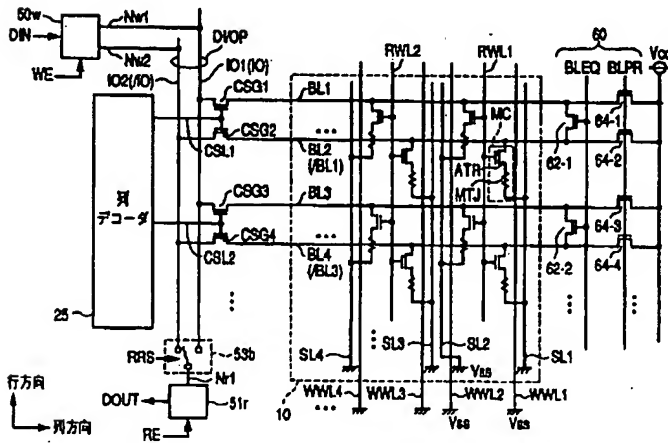
【図69】



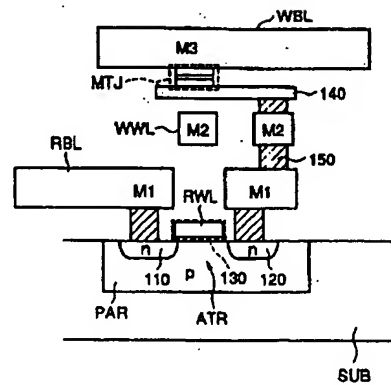
【図49】



【図50】

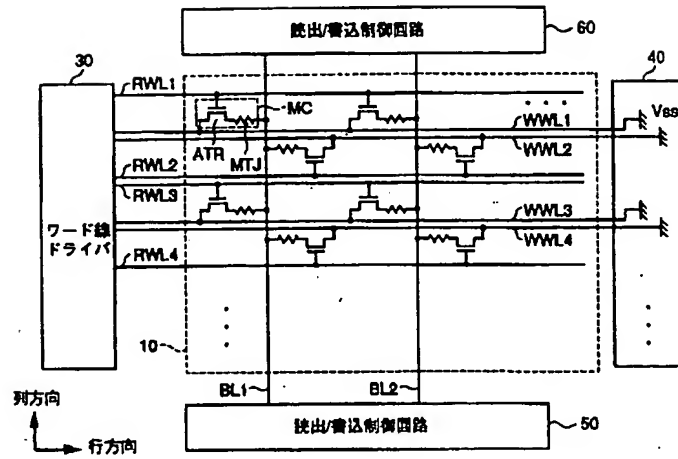


【図71】

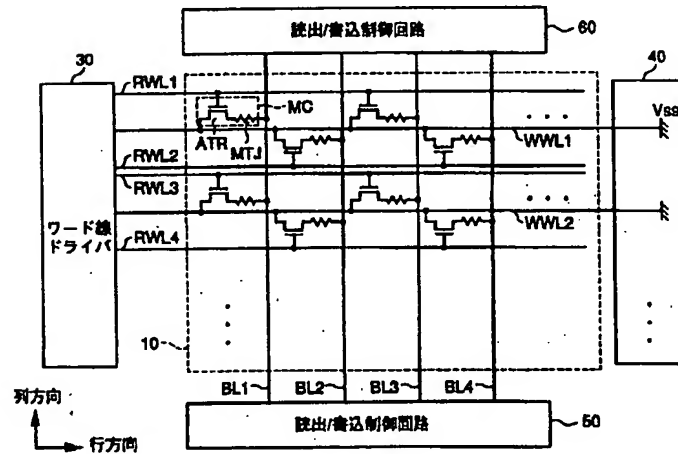


(60)

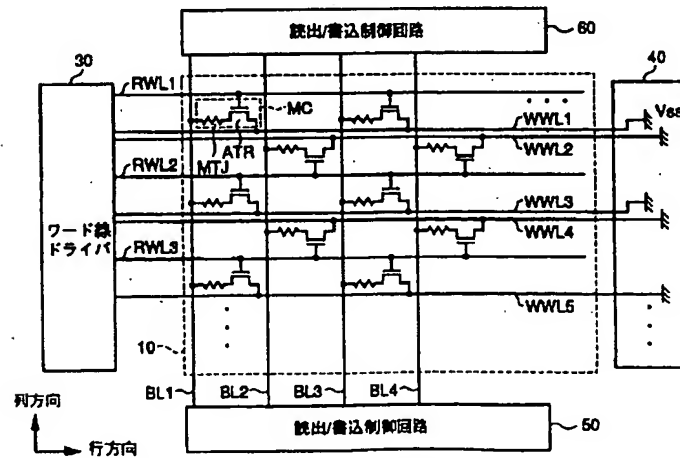
【図53】



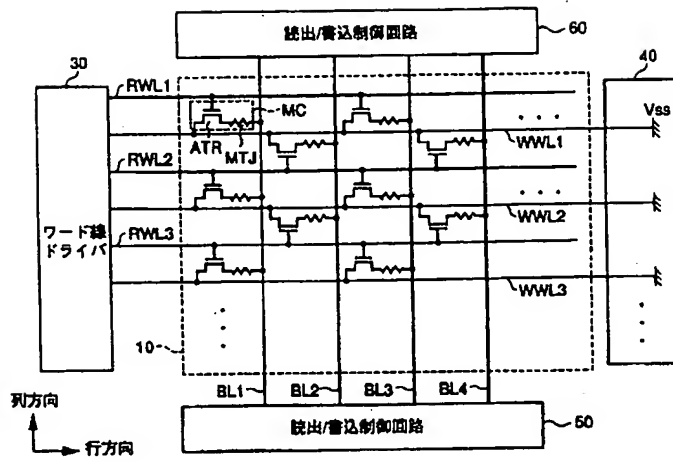
【図54】



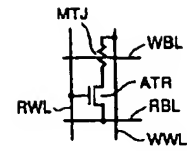
【図55】



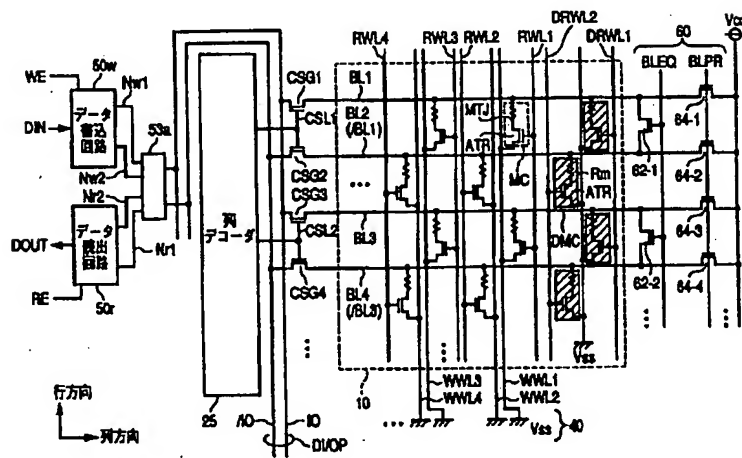
【図56】



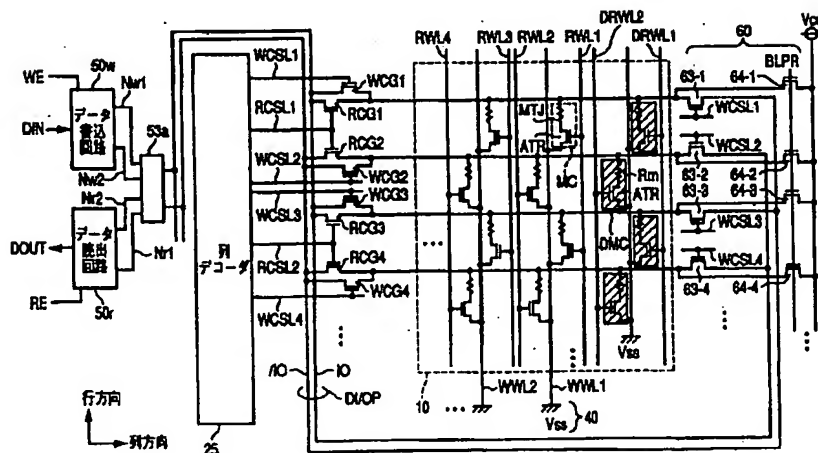
【図79】



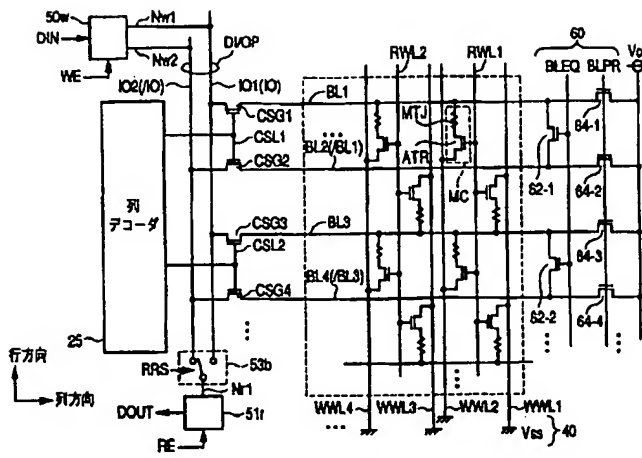
【図57】



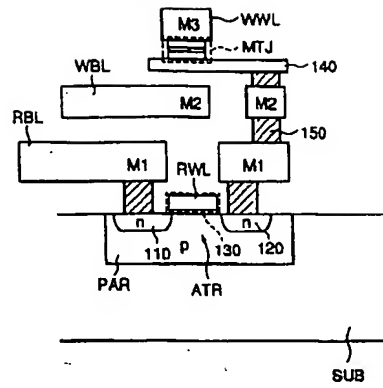
【図58】



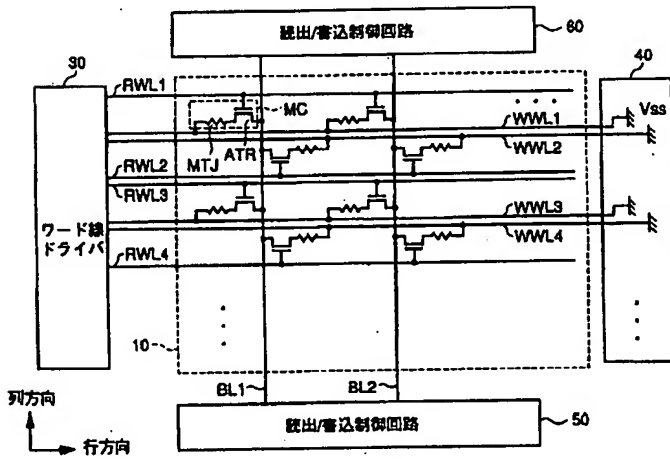
【図 5 9】



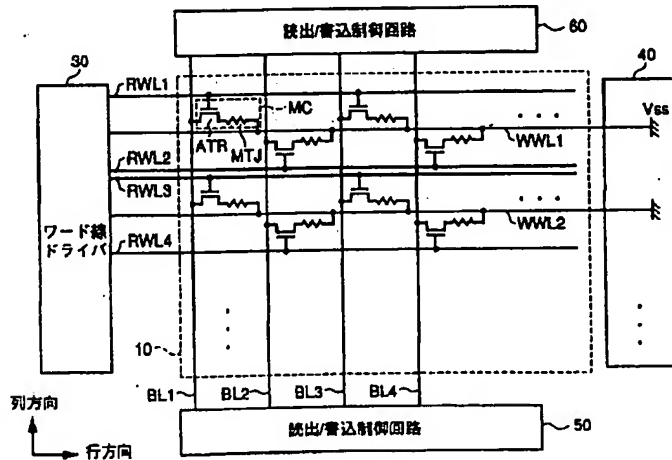
【図 8 0】



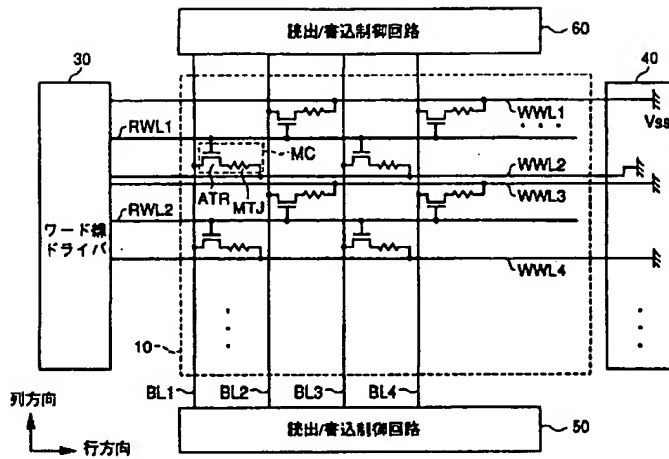
【図 6 2】



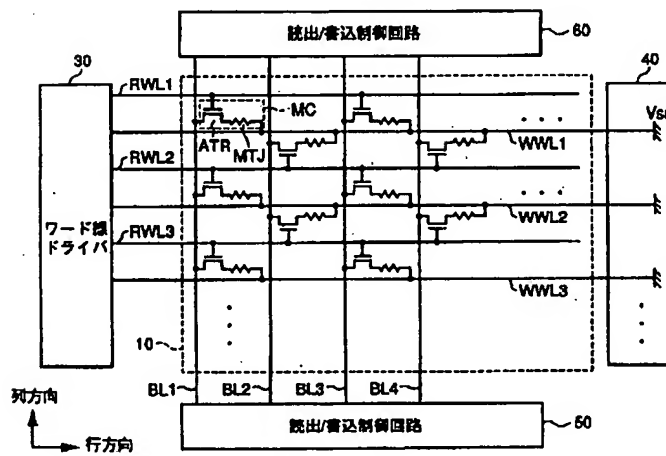
【図 6 3】



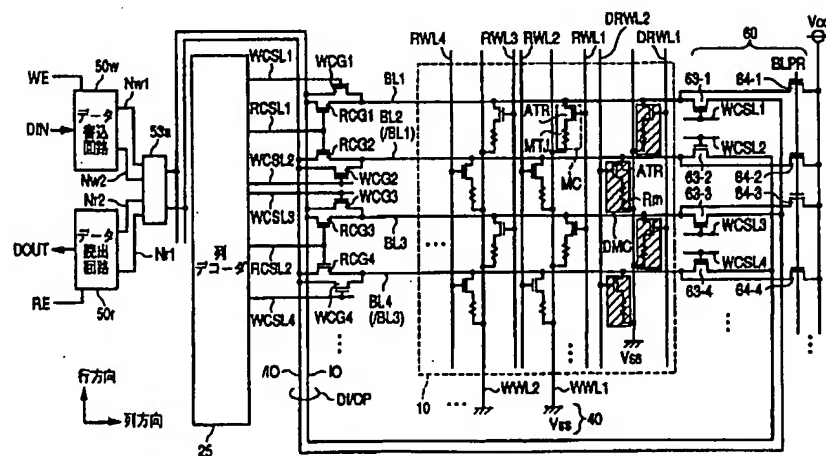
【图 6 4】



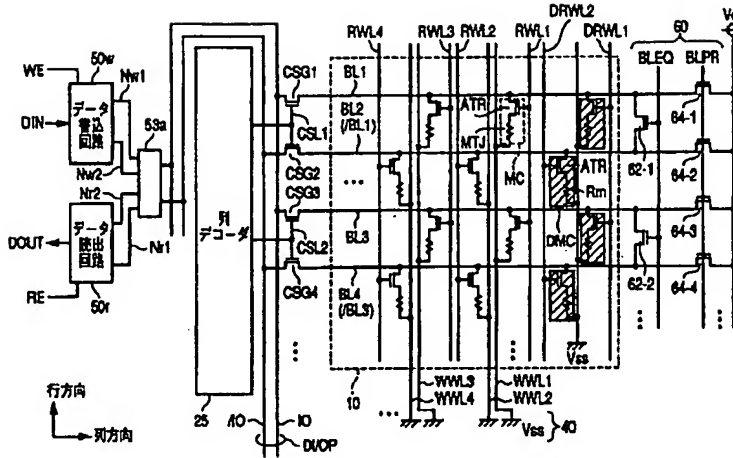
【図 6 5】



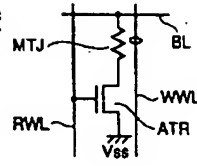
【图 6 7】



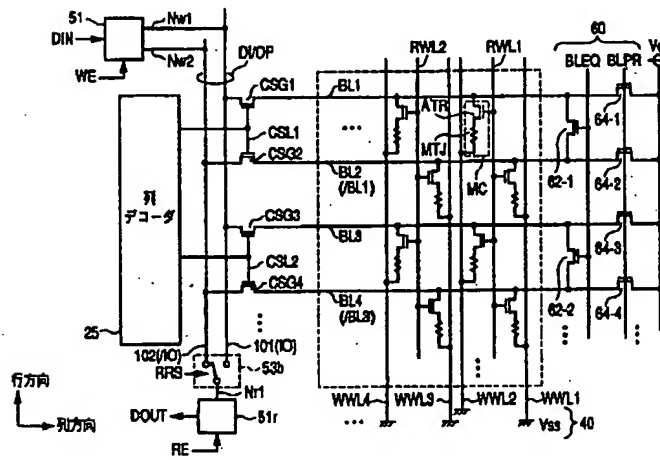
【図66】



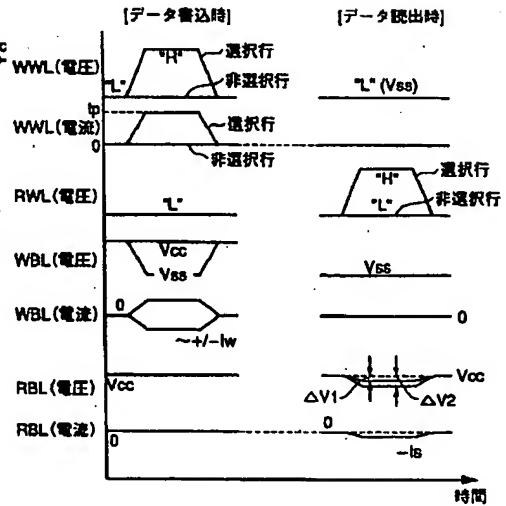
【図88】



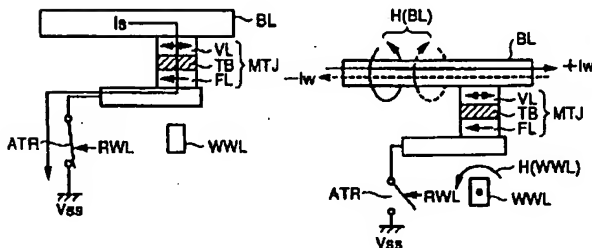
【図68】



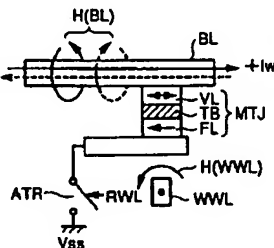
【図70】



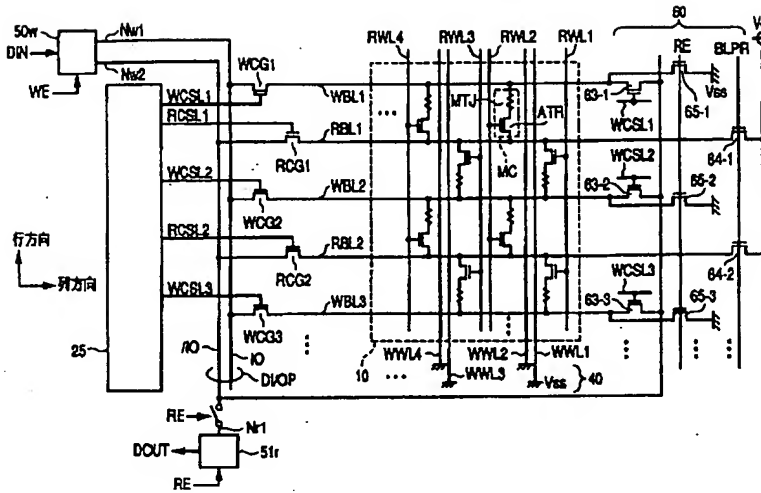
【図89】



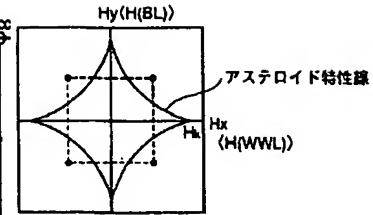
【図90】



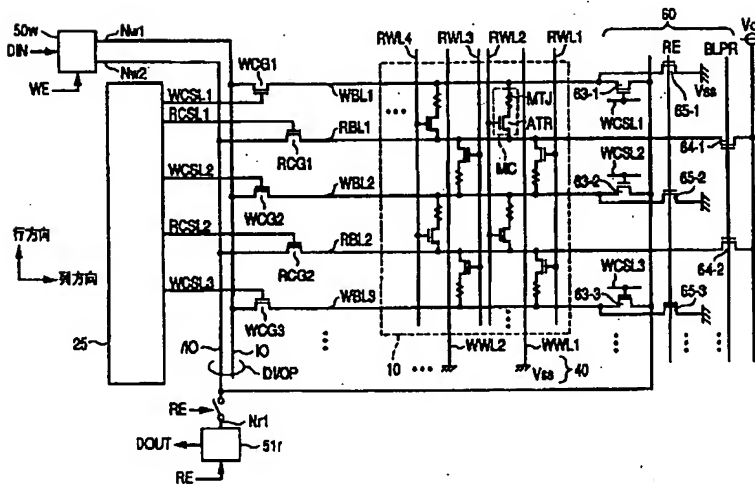
【図72】



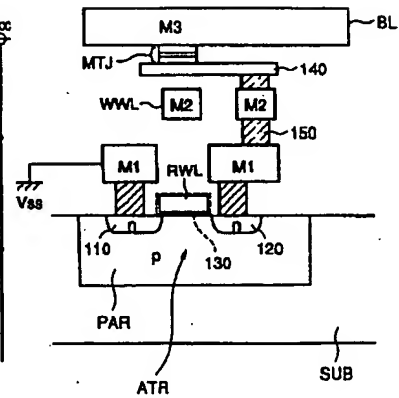
【図91】

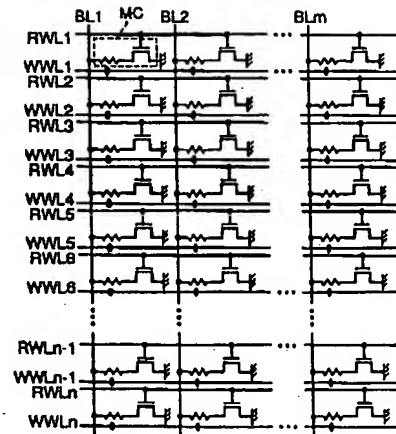
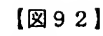
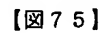


【図73】

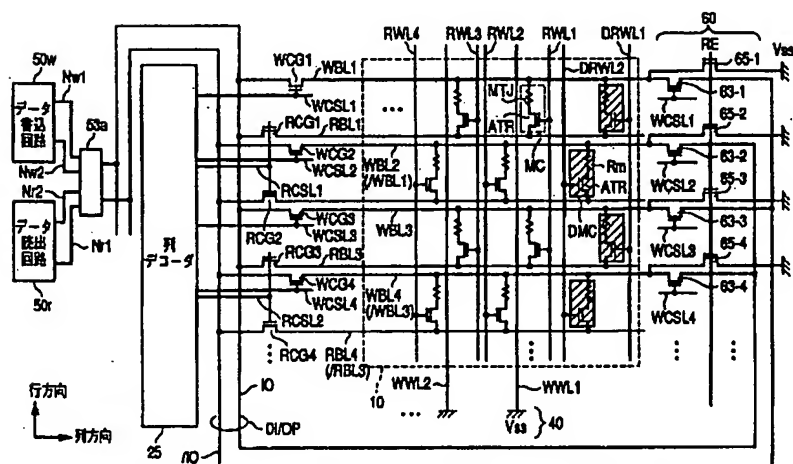
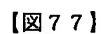


【図93】



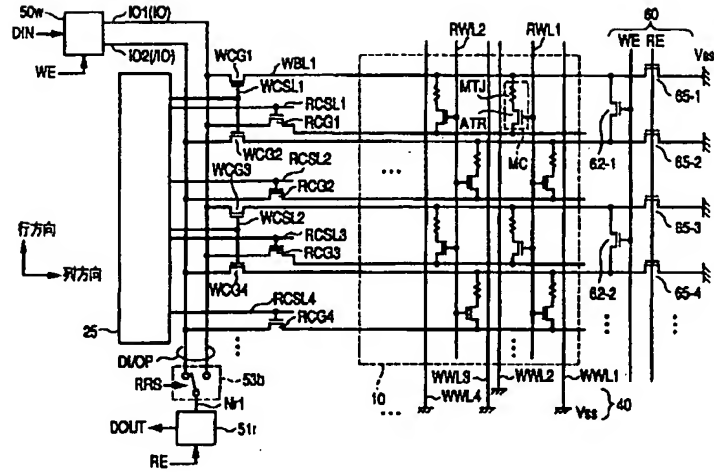




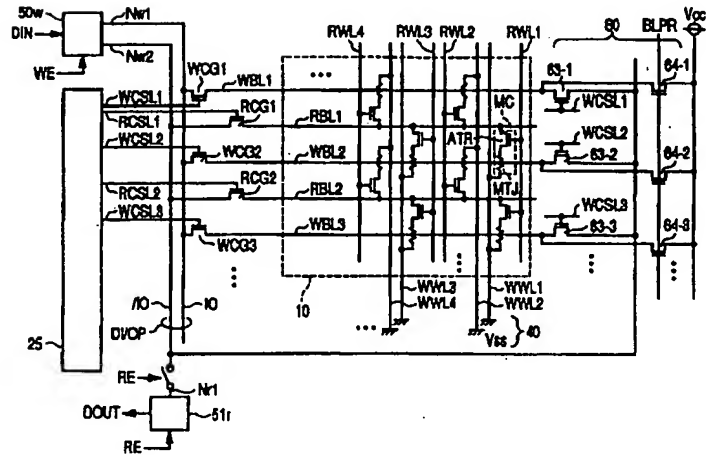


(68)

【図78】

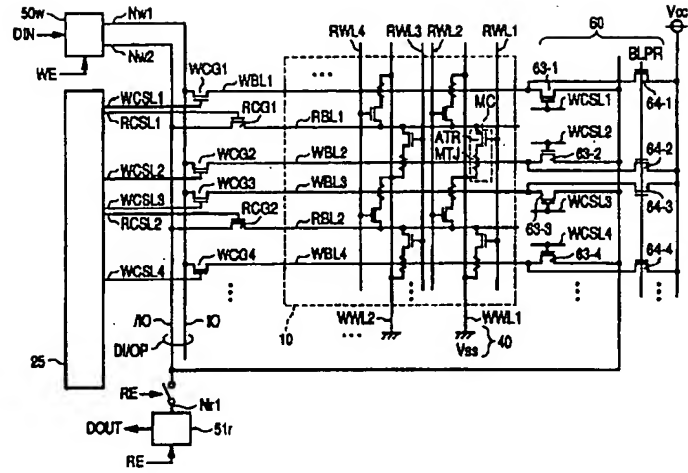


【図81】

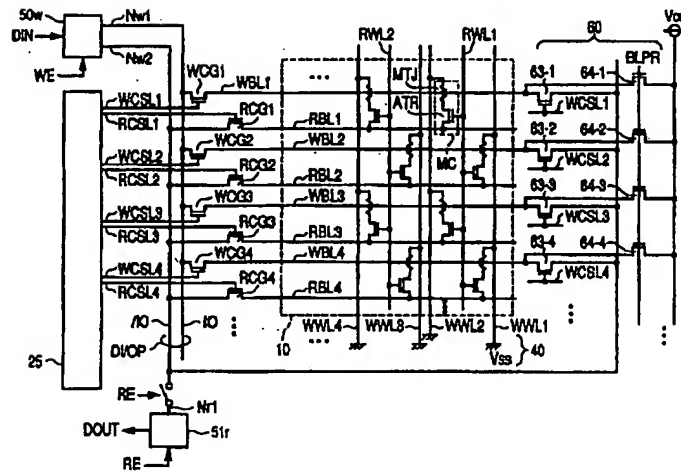


(69)

【図 8 2】

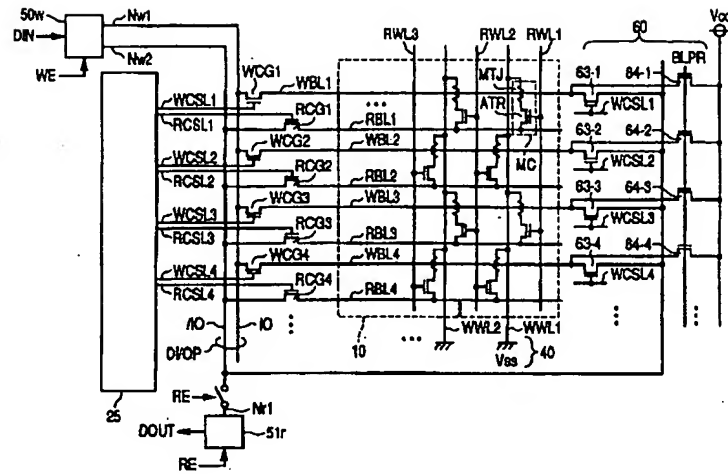


【図 8 3】



(70)

【図84】



【図85】

